

УДК 519.876.5

Проблематика и методы реализации проверки логической эквивалентности в системах автоматизированного проектирования систем на кристалле

Малышев Н. М.

АО «ЭРЕМЕКС»

117437, г. Москва, ул. Профсоюзная, 108

malyshev.n@eremex.ru

Создана отечественная система автоматизированного проектирования микроэлектроники и логической оптимизации синтеза исходных кодов микросхем. На ее основе разрабатывается инструмент проверки логической эквивалентности полученных результатов.

Ключевые слова: САПР; HDL; ПЛИС; СнК; AIG; LEC; КИГ.

Рост размеров кристаллов при разработке СБИС привел к необходимости постоянного развития теории и практики автоматизированного проектирования [1]. В современных САПР проектирования микроэлектроники большое значение уделяется алгоритмам, позволяющим сократить количество базисных элементов, используемых в проектах СБИС, без потери функциональности [2].

Сокращение базисных элементов на кристалле с одной стороны — позволяет сократить площадь кристалла и уменьшить его стоимость. С другой стороны — приводит к усложнению верификации результатов логического синтеза, то есть определению эквивалентности исходного дизайна с полученным в результате синтеза нетлистом. Сложность возникает из-за изменения алгебры логики при оптимизации схем, так как меняется функциональный путь от входов к выходам относительно исходно заданного пути проекта. Данный путь может состоять не только из комбинаторных узлов, но также и из секвенциальной логики. Последняя, в свою очередь, также добавляет сложность в определении функций булевой логики, так как хранит предыдущие состояния работы элементов схем. Наличие последовательной логики усложняет верификацию результатов синтеза в том числе при функциональной верификации, так как появляется требование верификации схемы по изменению состояний во времени.

В проверке логической эквивалентности (LEC, Logic Equivalence Checking) схем логического пост-синтезного уровня применяется подход, основанный на сопоставлении эквивалентных путей данных. Сопоставление происходит по исходному RTL-коду, представленному на языке Verilog/SystemVerilog и конечному логическому нетлисту, состоящему из технологических Liberty-ячеек. Задача сопоставления решается последовательно двумя этапами. На первом этапе необходима реализация функционального промежуточного транслятора данных между RTL и логическим уровнем. На втором этапе — необходимо определение «комбинаторных конусов» — частей схем, строго содержащих комбинационные элементы, отдельно от секвенциальных [3]. Сопоставление компонентов транслятора и комбинационных конусов логических схем позволяет определить эквивалентные функциональные узлы комбинаторной части, и отдельно — секвенциальные элементы, которые будут сравниваться относительно исходного RTL с полученным

логическим нетлистом. Само сравнение возможно быстро и эффективно провести с использованием конъюнктивно-инверсного представления (КИГ) ориентированного ациклического графа нетлиста и КИГ алгебраических выражений исходного проекта уровня регистровых передач [4]. Выбранный подход в реализации ЛЕС обладает рядом преимуществ — один из которых масштабируемость, простота преобразования выражений в граф с последующим динамическим программированием [5].

В результате выполненных работ был получен модуль проверки логической эквивалентности результатов синтеза для микросхем малой и средней степени интеграции. Данный модуль позволяет значительно сократить время на валидацию результатов синтеза при разработке и отладке работы САПР логического синтеза. Доработка модуля ЛЕС по увеличению количества логических элементов при проверке идет совместно с доработкой модуля логического синтеза, позволяющим на момент написания статьи работать с большими интегральными схемами.

Работы выполнены в рамках проекта разработки САПР Delta Design Simtera IC.

Литература

1. Малышев Н. М., Рыбкин С. В. Особенность разработки САПР для проектирования и верификации конфигурации ПЛИС // 5-я Международная научная конференция «Электронная компонентная база и микроэлектронные модули» (г. Алушта, 30 сентября — 05 октября 2019). — М.: ТЕХНОСФЕРА, 2019. — С. 278–281.
2. Лузин С. Ю. Минимизация булевых функций на основе синтеза распределения термов по индексам // Сб. науч. трудов учебных институтов связи, 1996. — Вып. 162. — С. 27–30.
3. Understanding Logic Equivalence Check (LEC) Flow and Its Challenges and Proposed Solution. URL: <https://www.design-reuse.com/articles/51622/understanding-logic-equivalence-check-lec-flow-and-its-challenges-and-proposed-solution.html> (дата обращения: 01.07.2024).
4. Possani V. N., Lu Y.-S., Mishchenko A., Pingali K., Ribas R. and Reis A. Unlocking fine-grain parallelism for AIG rewriting // Proc. ICCAD'18.
5. Brayton R., Mishchenko A. ABC: An Academic Industrial-Strength Verification Tool // Touili T., Cook B., Jackson P. (eds) // Computer Aided Verification. CAV 2010. Lecture Notes in Computer Science, 2010. Vol. 6174. Springer, Berlin, Heidelberg. URL: https://doi.org/10.1007/978-3-642-14295-6_5.