

---

## VHDL-проект версия: 0.9

VHDL проект - это проект описания аппаратуры.

Проект может быть:

- создан с нуля в системе
- загружен из исходников
- экспортирован в исходники

Проект содержит в себе множество vhd файлов. Файлы могут быть расположены во множестве папок. Вся эта структура отражается в дереве Project Management'a.

Проект может включать в себя ссылки на другие проекты. При указании ссылки на другой проект компиляция, выполнение и отладка происходит совместно. Ссылка из проекта описания

---

аппаратуры можно на другой HDL-проект или на проект прошивки.

Проект включает в себя не только исходники, но и настраиваемые пользователем виртуальные осциллографы. В каждом из осциллографов может быть настроено отображение объектов из проекта.