

Верификация чипа. Вызовы, решения и текущая ситуация на рынке САПР верификации цифровых СБИС

Н. Малышев¹, И. Белятин², С. Рыбкин³, А. Борисов⁴

УДК 621.37 | ВАК 2.2.2

Функциональная и физическая верификация проектов цифровых СБИС до момента изготовления чипа является важной частью проектирования чипа. Согласно исследованиям Wilson Research Group [1], половина времени от всего проектирования занимает верификация, в особенности функциональная.

ФУНКЦИОНАЛЬНАЯ ВЕРИФИКАЦИЯ СБИС

Функциональная верификация основывается на моделировании исходных RTL-описаний проектов, выполненных на языках описания аппаратуры, как правило – Verilog, SystemVerilog и VHDL. В верификацию чипа могут быть включены дополнительные методы – ассершены (assertions), предназначенные для проверки функциональных свойств проекта, методы функционального покрытия (functional coverage), позволяющие оценить полноту проверки проектных сценариев и т.д. Кроме традиционного моделирования, основной задачей которого является сравнение работы функционального описания чипа с эталонными значениями, могут использоваться дополнительные инструменты верификации, например, инструменты анализа покрытия кода. Такие инструменты позволяют определить недостаточно протестированные участки проекта и оценить полноту тестового набора. Такие действия провести обычным моделированием было бы довольно затруднительно. Кроме того, набирает популярность подход унифицированной верификации с помощью промышленных методологий, например Universal Verification Methodology (UVM). Методология, которая дословно переводится как универсальная верификационная, была разработана консорциумом компаний отрасли микроэлектроники и стандартизована организацией Accellera [2]. Основная цель методологии – упростить и ускорить разработку тестового окружения и тестовых стимулов.

ИНСТРУМЕНТЫ ФУНКЦИОНАЛЬНОЙ ВЕРИФИКАЦИИ

На мировом рынке систем автоматизированного проектирования укрепились три компании: Mentor Graphics (в настоящий момент – Siemens EDA), Cadence и Synopsys. Российский рынок не был исключением и системы «большой тройки» широко использовались в отечественных дизайн-центрах. Так было до момента прекращения продаж и поддержки своих инструментов в России западными компаниями.

Можно отметить, что, несмотря на широкое использование инструментов «большой тройки» и отсутствие какой-либо ощутимой конкуренции со стороны отечественных компаний, российские разработки по данному направлению велись. Одним из примеров отечественных разработчиков является компания ЭРЕМЕКС, ведущая работы по созданию средств моделирования и функциональной верификации цифровых проектов [3]. Ряд разработок компании используется при создании отечественных маршрутов проектирования микроэлектронной аппаратуры.

ОСНОВНЫЕ ВЫЗОВЫ СОВРЕМЕННОЙ ВЕРИФИКАЦИИ

Рост размерности проектов на миллионы, сотни миллионов и миллиарды эквивалентных вентилей значительно увеличивает время моделирования. Кроме этого, наблюдается и рост объема тестового окружения, необходимость поддержки UVM. Отдельная острая тема для России – импортозамещение САПР.

Одним из требований, предъявляемых к отечественным системам функциональной верификации для успешного импортозамещения, является высокая скорость работы симулятора. Симуляторы «большой тройки» показывают высокую производительность моделирования за счет классических методов оптимизации, а также собственных, закрытых для широкой аудитории методик. Динамика

¹ ООО «ЭРЕМЕКС», ведущий программист, malyshev.n@eremex.ru.

² ООО «ЭРЕМЕКС», менеджер по продукту, belyutin@eremex.ru.

³ ООО «ЭРЕМЕКС», начальник отдела, rybkin@eremex.ru.

⁴ ООО «ЭРЕМЕКС», технический писатель, borisov@eremex.com.

увеличения производительности отечественного симулятора во время разработки на одном из сравнительных тестов представлена на рис. 1. Видно, что изначальная реализация симулятора и интерпретация входных данных при моделировании была в восемь раз медленнее эталонной САПР «большой тройки», преимущественно со средствами Cadence, Siemens. За счет нескольких классических методик оптимизации (рис. 1 а, б, в) удалось добиться увеличения производительности инструмента. Оптимизация «а» – оптимизация работы библиотеки стандартных ячеек используемого в тесте технологического процесса привела к удвоению производительности. Оптимизация «б» – алиасинг или переиспользование ячеек памяти переменных во время симуляции дала еще 75% выигрыша по производительности. А еще двойной прирост дала оптимизация выполнения событий внутри регионов во время выполнения симуляции – «в».

Стоит отметить, что производительный симулятор должен реализовывать все возможные методики оптимизации, так как в каждом пользовательском случае необходима своя, конкретная группа оптимизирующих методов. На данный момент группа авторов работает над решением этой задачи в отечественном САПР.

ФИЗИЧЕСКАЯ ВЕРИФИКАЦИЯ СБИС

Как и функциональная верификация физическая верификация является неотъемлемой частью маршрута проектирования СБИС.

Физическая верификация включает в себя следующие процессы: проверку конструкторских ограничений (DRC), генерацию заполняющих фигур, проверку электрических правил (ERC), сравнение оригинальной схемы со схемой, полученной из топологии с помощью методов экстракции активных элементов и соединений между ними (LVS).

ИНСТРУМЕНТЫ ФИЗИЧЕСКОЙ ВЕРИФИКАЦИИ

На сегодняшний день наиболее распространенным в мировой практике среди средств физической верификации является программный продукт Calibre компании Siemens. Данный продукт разрабатывается уже более 30 лет и хорошо зарекомендовал себя в среде проектировщиков СБИС.

Среди подобных средств физической верификации на рынке программного обеспечения также представлены такие средства разработки, как ICV компании Synopsys и Pegasus компании Cadence. По имеющейся информации данные программные средства не получили широкого распространения среди отечественных дизайн-центров.

Анализ перечисленных средств физической верификации показал, что Calibre компании Siemens значительно превосходит прочие по скоростным характеристикам и по достоверности полученных результатов.

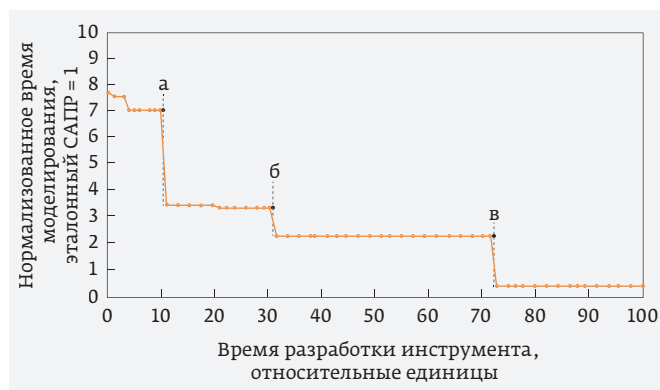


Рис. 1. Динамика изменения нормализованного времени моделирования относительно эталонного САПР

В современных условиях отечественные дизайн-центры столкнулись с необходимостью замещать импортное программное обеспечение. Поскольку среди разработчиков СБИС наиболее распространенными являются форматы файлов, с которыми работает Calibre, именно этот инструмент физической верификации был взят в качестве основного ориентира и эталона при разработке собственного инструмента.

ТЕКУЩЕЕ ПОЛОЖЕНИЕ И ПЛАНЫ

Компания ЭРЕМЕКС, являясь ведущим разработчиком отечественных САПР радиоэлектроники, ведет разработку инструментов функциональной и физической верификации – с 2024 года в рамках ОКР «САПР Цифра-Б» (заказчик – Минпромторг РФ, головной исполнитель – АО «МНТЦ МИЭТ») [4].

За это время мы достигли очень хороших результатов – на сегодняшний день программный инструмент физической верификации поддерживает следующие технологические процессы АО «НИИМЭ»:

- SOI250 (проектные нормы 250 нм);
- HCMOS8D и CMOSF8 (проектные нормы 180 нм);
- HCMOS10 (проектные нормы 90 нм).

Результаты сравнения разных версий инструмента физической верификации представлены в табл. 1.

В настоящее время ведутся работы по обеспечению поддержки технологических процессов от другого отечественного производителя СБИС, а также технологических процессов производителей из дружественных стран.

Программный инструмент физической верификации уже на данном этапе разработки поддерживает проекты объемом до двух миллионов эквивалентных вентилялей. В следующие два года будет достигнута поддержка проектов объемом до десяти миллионов эквивалентных вентилялей.

Таблица 1. Результаты сравнения инструмента физической верификации на разных этапах разработки

Проект	1	2	3
Проектные нормы	250 нм	180 нм	90 нм
Объем эквивалентных вентиляей	180 тыс.	330 тыс.	130 тыс.
Сравнение времени выполнения DRC:			
етхрv (альфа-версия)	2 ч 41 мин	2 ч 18 мин	2 ч 37 мин
етхрv (базовый уровень)	1 ч 03 мин	47 мин	1 ч 02 мин
Calibre	20 мин	40 мин	21 мин
Сравнение времени выполнения LVS:			
етхрv (альфа-версия)	3 ч 15 мин	1 ч 02 мин	3 ч 14 мин
етхрv (базовый уровень)	20 мин	26 мин	21 мин
Calibre	12 мин	20 мин	14 мин

Скорость выполнения физической верификации отечественного инструмента, к сожалению, пока уступает ведущим импортным аналогам, но поставлена цель в ближайшие четыре года достигнуть уровня производительности, сопоставимого с зарубежными САПР.

ВЫВОД

Компания ЭРЕМЕКС сфокусирована на достижении поставленных целей и демонстрирует высокую динамику развития отечественных инструментов функциональной и физической верификации.

ЛИТЕРАТУРА

1. Siemens EDA. 2020 Wilson Research Group functional verification study. [https://uobdv.github.io/Design-](https://uobdv.github.io/Design-Verification/WilsonResearchGroupFunctionalVerificationStudy/2020-WRGFV-Study/fpga-trend-report_2020-wilson-research-verification-study_hfoster.pdf)

Verification/WilsonResearchGroupFunctionalVerificationStudy/2020-WRGFV-Study/fpga-trend-report_2020-wilson-research-verification-study_hfoster.pdf.

2. Universal Verification Methodology, October, 2014, Accellera https://www.accellera.org/images/downloads/standards/uvm/uvm_users_guide_1.2.pdf.
3. **Малышев Н.** Российская САПР Delta Design Simtera. ЭЛЕКТРОНИКА: Наука, Технология, Бизнес. 2022. №7. С. 152–158. https://www.electronics.ru/files/article_pdf/9/article_9506_700.pdf.
4. Формирование подходов к разработке отечественных САПР СБИС / В. Дождев, И. Кузьменко, С. Сафронов [и др.] // ЭЛЕКТРОНИКА: Наука, Технология, Бизнес. 2025. № 6(247). С. 56–64. DOI 10.22184/1992-4178.2025.247.6.56.64.

М

микроэлектроники

ШЕЛЕПИН Н. А.

Технологии КМОП интегральных схем. Часть 1.

Р

ТЕХНОСФЕРА

НОВАЯ СЕРИЯ

С К О Р О

Шелепин Н. А.

Технологии КМОП интегральных схем. Часть 1.

От возникновения до нанометровых размеров элементов