

Проектирование будущего: моделирование аналоговых и цифровых блоков на Verilog-AMS с Simtera IC

А. Еремин¹, Н. Малышев²

Современные интегральные схемы все чаще сочетают в себе как цифровые, так и аналоговые блоки. Это требует от разработчика применения точных и гибких средств моделирования, способных анализировать оба домена в единой среде. Язык описания и моделирования схем Verilog-AMS (Analog and Mixed-Signal) был создан именно для этих целей. В статье рассказано о том, как Verilog-AMS помогает решать реальные задачи аналого-цифрового проектирования для схем смешанного сигнала. Рассмотрены практические примеры и особенности аналого-цифрового моделирования в САПР Simtera IC – кроссплатформенной системе проектирования, функционального моделирования и логического синтеза ИС (ПЛИС, СБИС и микроархитектур уровня СнК).

VERILOG-AMS – НОВЫЙ МОДУЛЬ САПР SIMTERA IC

Simtera IC – один из ключевых продуктов компании «Эремекс», ведущего российского разработчика программного обеспечения для автоматизации проектирования радиоэлектронной аппаратуры с более чем 15-летним опытом и устойчивой репутацией инновационного и надежного партнера.

Verilog-AMS – расширение двух языков: Verilog, который используется для описания цифровой аппаратуры, и Verilog-A (Analog), который описывает аналоговые компоненты и связи между ними. Verilog-AMS (Analog & Mixed-Signal) предназначен для описания аналого-цифрового моделирования. Он полностью поддерживает цифровую часть схемы, как обычный Verilog (не SystemVerilog!), и аналоговую часть, как Verilog-A. В нем можно описывать полностью цифровые модули, физические величины, выражения и сигналы с непрерывным временем. Важнейшей особенностью Verilog-AMS является возможность задания механизмов взаимодействия между цифровой и аналоговой составляющими с помощью правил перевода цифровых величин в аналоговые (механизм transition) и реакции цифровых величин на изменения аналоговых (функции above, cross, timer). Кроме того, в нем возможно однократное задание модулей преобразований из цифровых величин в аналоговые и обратно, причем без ручного указания положения этих модулей в проекте – они

будут добавлены в нужные места описания схемы автоматически (функция connect module).

В состав среды проектирования Delta Design входит модуль аналогового моделирования SimOne, который работает с языком SPICE. Ранее аналоговое моделирование приходилось проводить в этом модуле и вручную сопрягать проект с цифровой частью, моделируемой в Simtera IC. Поддержка Verilog-AMS и возможность описания аналоговых компонентов и узлов схемы прямо в Verilog позволяет избежать лишней работы, так как теперь программа самостоятельно управляет переходом между цифровым и аналоговым моделированием и отслеживает взаимное влияние моделируемых величин.

ПРИМЕРЫ ОПИСАНИЙ СХЕМ НА VERILOG-AMS

Пример 1: модуль ЦАП (рис. 1). Цифровая часть схемы представляет собой входной 8-битный регистр, который принимает цифровые значения от 0 до 255. Аналоговая часть схемы обеспечивает генерацию напряжения на выходе в долях от опорного напряжения (по умолчанию значение этого параметра равно 1 В) в соответствии с полученным цифровым сигналом. Шаг преобразователя составляет 1/255 от опорного напряжения. Можно также задать еще один параметр – время перехода от предыдущего уровня напряжения к новому (по умолчанию составляет 1 нс).

Модуль ЦАП можно автоматически добавлять в проект (connect module), если все шины, соединяющие цифровые блоки с аналоговыми, являются 8-битными.

Заметим, что в этом примере напряжение линейно зависит от входного 8-битного числа, что является

¹ Компания «Эремекс», ведущий математик, eremin@eremex.ru.

² Компания «Эремекс», ведущий разработчик, malyshev.n@eremex.ru.

```
// Подключаем стандартные дисциплины
(electrical, voltage и т.д.)
`include "disciplines.vams"

module dac_simple (
    input [7:0] digital_in, // 8-битный цифровой вход
    output out_analog // Аналоговый выход (напряжение)
);
    electrical out_analog; // Объявляем выход
    как electrical-узел
    parameter real vref = 1.0; // Опорное напряжение (1 В)
    parameter real trise = 1e-9; // Время нарастания
    сигнала (1 нс)

    // Цифровая часть (регистр)
    reg [7:0] din_reg;
    always @(digital_in) begin
        din_reg = digital_in; // Фиксируем входной код
    end

    // Аналоговая часть (преобразование в напряжение)
    analog begin
        // Плавное изменение сигнала (исключаем скачки)
        V(out_analog) <+ transition(vref *
            (din_reg / 255.0), trise);
    end

endmodule
```

Рис. 1. Описание модуля ЦАП на Verilog-AMS

существенным упрощением. В реальных проектах следует учитывать нелинейность (интегральную или дифференциальную), вызванную неидеальными характеристиками компонентов, и шумы (тепловой, дробовой, фликкер-шум и др.).

Пример 2: переключатель дискретного режима с гистерезисом (рис. 2). В этой схеме при нарастании напряжения сверх порога thr_{hi} выходной регистр принимает значение «1» и остается на этом уровне, пока напряжение не упадет ниже thr_{lo} , после чего переключается в «0». Например, падение напряжения между узлами p и n является реакцией на обратную связь в системе стабилизации напряжения, управление которой осуществляется сигналом out .

ПРИМЕР АНАЛОГОВОГО МОДЕЛИРОВАНИЯ В SIMTERA IC

Рассмотрим схему, состоящую из источника напряжения, подключенного к резистору $R2$ через резистор $R1$ и несколько конденсаторов и катушек индуктивности (рис. 3). Подадим на источник синусоидальный сигнал постоянной частоты и посмотрим, как будет изменяться напряжение, например на узлах $n1$, $n3$ и $pout$.

Результаты моделирования представлены на рис. 4. Входной сигнал показан на верхнем графике, величина напряжения на $n3$ – на среднем, а на $pout$ – на нижнем графике.

Описание этой схемы на Verilog-AMS (без описания модулей, соответствующих каждому из компонентов) представлено на рис. 5. В этом описании сохранены те же обозначения узлов, что и на схеме, $signal$, res , ind и cap – названия модулей, описывающих поведение источника напряжения, резистора, катушки индуктивности и конденсатора соответственно.

Видно, что результаты моделирования в Simtera IC совпадают с результатами аналогового моделирования в SimOne (рис. 6).

ПРИНЦИПЫ РАБОТЫ РАСШИРЕНИЯ VERILOG-AMS В SIMTERA IC

В Simtera IC цифровая часть схем обрабатывается аналогично проектам на Verilog, но при переходе от одного момента дискретного (цифрового) времени к другому происходит моделирование аналоговой части. При этом аналоговые модели преобразуются в описания элементов в SimOne, что позволяет использовать все возможности SimOne для выполнения временного анализа и отслеживания аналоговых величин.

SimOne включает в себя механизмы обнаружения превышения или пересечения заданной функцией

```
`include "disciplines.vams"

module switchcontrol (out, p, n);
    inout p, n; // Узлы ветки, на которой
    проверяется напряжение
    output out; // Выходной сигнал
    electrical p, n; // Объявляем узлы контрольной
    ветки как electrical
    logic out; // Указываем, что это цифровая переменная
    reg out; // Тип выхода – однобитный регистр

    // Задаются либо два этих параметра, либо сами пороги
    parameter real thrmid = 0; // Порог переключения (В)
    parameter real width = 0 from [0:inf];
    // Ширина петли гистерезиса (В)

    // Если пороги не заданы, они вычисляются
    по thrmid и width
    // Порог перехода при убывании (В)
    parameter real thrlo = thrmid - 0.5 * width;
    // Порог перехода при нарастании (В)
    parameter real thrhi = thrmid + 0.5 * width;

    // Проверка пересечения порога при нарастании
    always @(above(V(p, n) - thrhi))
        out = 1;

    // Проверка пересечения порога при убывании
    always @(above(thrlo - V(p, n)))
        out = 0;

endmodule
```

Рис. 2. Описание модуля переключателя дискретного режима на Verilog-AMS

Рис. 3.
Схема для
моделирования
в SimOne

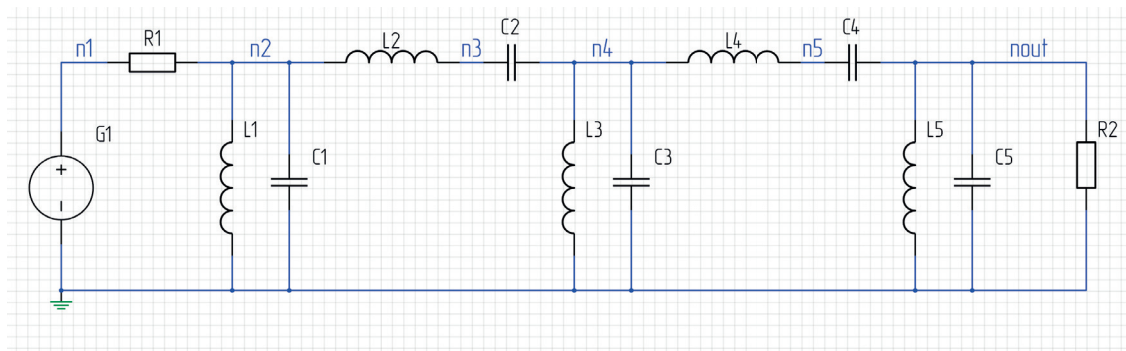
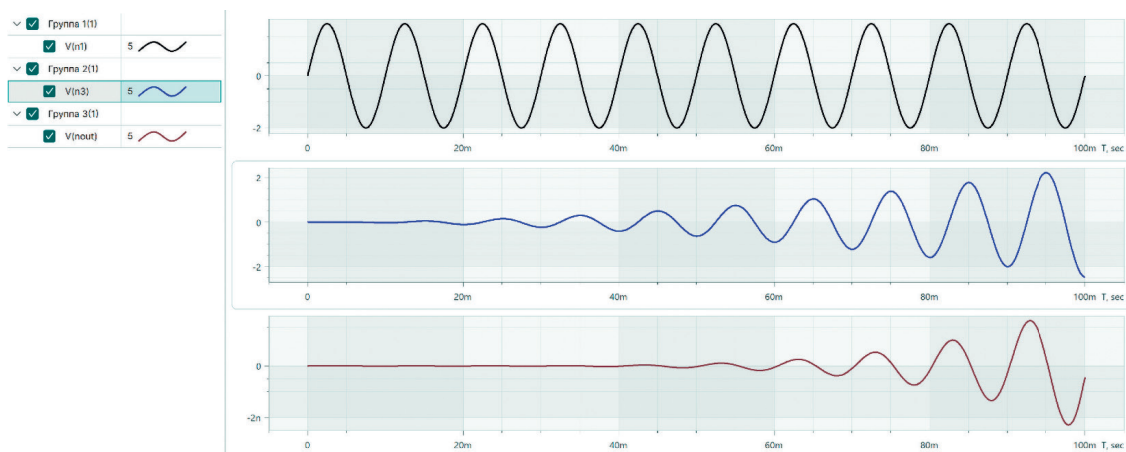


Рис. 4.
Результаты
SPICE-
моделирования
в SimOne



контрольного уровня, что позволяет автоматически включать проверку условий *above*, *cross* или *timer* в аналоговый расчет, останавливать его и возвращать управление модулю цифрового моделирования в *Simtera IC* при наступлении одного из таких событий. Это обеспечивает эффективное взаимодействие и распределение задач между модулями цифрового и аналогового моделирования.

Следует отметить две сложности в формировании модели *SimOne* из *Verilog*-описания. Во-первых, *Verilog-AMS* описывает токи и потенциалы в узлах цепи в виде произвольных уравнений. Они интерпретируются в *SimOne* как источники тока или напряжения с функциями произвольного вида. Несмотря на то, что имеется возможность смоделировать любую схему исключительно с помощью этих элементов, они в силу своей обобщенной природы работают достаточно медленно. Важно отметить, что *Verilog-AMS* описывает лишь простейшие компоненты, такие как резисторы или конденсаторы с постоянной емкостью, и использует представления этих компонентов в *SPICE*. Это позволяет существенно упростить и ускорить процесс решения аналоговых уравнений в *SimOne*.

Во-вторых, от значений цифровых переменных могут зависеть не только значения аналоговых переменных, но и конкретные уравнения и даже структура аналоговой схемы (в частности, при использовании условных

конструкций внутри блока *analog*). Поэтому переход к аналоговому моделированию может приводить к изменению внутреннего представления аналоговой схемы в *SimOne*. В связи с этим взаимодействие *Simtera IC* с *SimOne* производится не путем представления аналоговой схемы в формате *SPICE* и чтения ее в *SimOne*, что является слишком сложной и долгой процедурой (хотя *Simtera IC* предусматривает возможность построения *SPICE*-описания аналоговой части). Вместо этого с помощью встроенного механизма описание на *Verilog-AMS* преобразуется во внутреннее представление аналоговой схемы в *SimOne*. В процессе аналогового моделирования на каждом шаге, выбираемом решателем, возвращаются наборы значений требуемых величин, а также маркеры наступления аналоговых событий.

Перечислим ряд преимуществ реализованного подхода:

- не возникает необходимости в ручной работе с аналоговой частью системы, что освобождает разработчика от множества рутинных операций;
- точность моделирования обеспечивается использованием проверенных и быстрых методов решения аналоговых уравнений в *SimOne*;
- для одновременного вывода цифровых и аналоговых параметров можно использовать единый

инструмент визуализации сигналов («осциллограф»), что дополнительно упрощает отладку и верификацию схемы.

СРАВНЕНИЕ SIMTERA IC С АНАЛОГИЧНЫМИ РЕШЕНИЯМИ С ПОДДЕРЖКОЙ VERILOG-AMS

Можно сказать, что Simtera IC и SimOne заполняют на рынке нишу между коммерческими САПР от ведущих вендоров и бесплатными инструментами с ограниченными возможностями (табл. 1). У многих бесплатных аналогов Simtera IC нет поддержки Verilog-AMS – в них реализована поддержка либо SPICE (ngspice, хусе), либо SystemVerilog (Icarus).

Использование Verilog-AMS в САПР Simtera IC позволяет инженерам создавать полномасштабные модели смешанного сигнала, объединяющие аналоговые и цифровые функциональные блоки, без необходимости переключаться между разными средами. Verilog-AMS расширяет классический Verilog, оставаясь совместимым с SystemVerilog, что обеспечивает гибкость при моделировании. Интеграция Verilog-AMS в Simtera IC реализована в составе единой платформы Delta Design. В результате разработчик получает расширенные возможности, в том числе:

- FlexyS – схемотехнический редактор, который позволяет разработчику создавать иерархические принципиальные схемы, в которых каждый компонент может быть связан с соответствующим модулем, описанным на Verilog, VHDL или Verilog-AMS. Особенность FlexyS – автоматическая генерация HDL-иерархии по собранной схеме;

- HDL-редактор – обеспечивает прямую работу с кодами Verilog, SystemVerilog, Verilog-AMS, VHDL. Разработчик может детализировать цифровые FSM или аналоговые блоки, добавлять временные задержки. Например, с помощью HDL-редактора в случае моделирования АЦП цифровая логика может быть реализована на Verilog, а входной аналоговый сигнал и его преобразование в цифровую форму – на Verilog-AMS. Оба модуля могут быть связаны внутри FlexyS и одним щелчком мыши переданы на моделирование;

```
`timescale 1ms/100us

module top();
  electrical n1, n2, n3, n4, n5, nout, g;
  ground g;

  signal
    res      #(.R(1))          G1 (n1, g);
    ind      #(.L(4.09852818u)) R1 (n1, n2);
    cap      #(.C(0.618033978)) L1 (n2, g);
    ind      #(.L(1.618033969)) L2 (n2, n3);
    cap      #(.C(1.56549845u)) C1 (n2, g);
    ind      #(.L(1.266514838u)) C2 (n3, n4);
    cap      #(.C(2))           L3 (n4, g);
    ind      #(.L(1.61803398875)) C3 (n4, g);
    cap      #(.C(1.56549845u)) L4 (n4, n5);
    ind      #(.L(4.09852818u)) C4 (n5, nout);
    cap      #(.C(0.61803398875)) L5 (nout, g);
    res      #(.R(1))          C5 (nout, g);
    res      #(.R(1))          R2 (nout, g);

endmodule
```

Рис. 5. Фрагмент описания схемы на Verilog-AMS

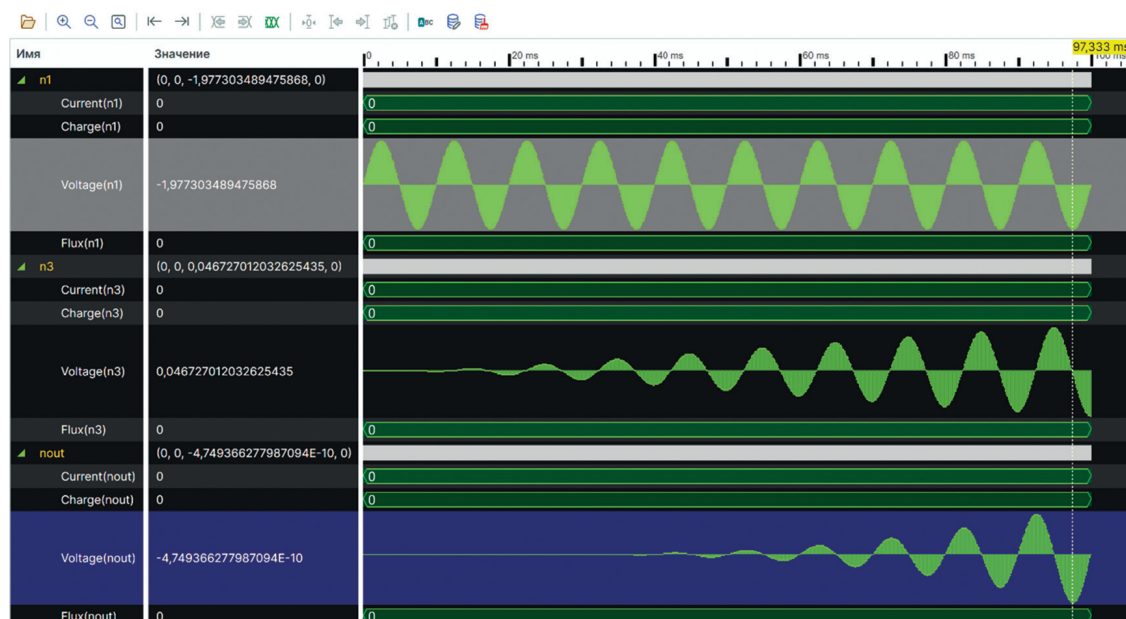


Рис. 6. Результаты моделирования в Simtera IC

Таблица 1. Сравнение Simtera IC с другими программными пакетами

Инструмент	Тип ПО	SPICE	Verilog	Verilog-AMS	Особенности
Simtera IC	Платное	Есть (SimOne)	Есть	Есть	Отечественная САПР аналого-цифрового моделирования с пользовательской поддержкой
Cadence Spectre	Платное	Есть	Есть	Есть	Лидер рынка, Spectre AMS Designer в составе Spectre, интегрирован с Virtuoso
Synopsys PrimeSim	Платное	Есть	Есть	Есть	PrimeSim – платформа, объединенная с программами HSPICE, SPICE, XA и др.
Siemens Questa	Платное	Есть	Есть	Есть	Questa ADMS – в составе объединенной платформы Eldo Platform
Smash (Dolphin Integration)	Бесплатная ограниченная версия	Нет	Есть	Частично	Инструмент начального уровня для смешанного (аналого-цифрового) моделирования, интегрирован со SPICE

- «осциллограф» – инструмент отображения поведения сигналов в аналоговой и цифровой форме. Пользователю доступно наблюдение за аналоговыми напряжениями и токами, отслеживание цифровых состояний и переходов, измерение времени длительности импульсов, уровней сигналов.

ЗАКЛЮЧЕНИЕ

САПР Simtera IC позволяет строить полноценные модели смешанного сигнала без необходимости переключения между аналоговой и цифровой средой. Для инженера это означает возможность в единой среде разрабатывать архитектуру схемы, описывать поведение ее узлов на соответствующих языках и сразу же проводить моделирование

с визуальной верификацией результата. Это особенно ценно в условиях, когда нужна высокая скорость проектирования и высокая точность при разработке сложных ИС с аналоговыми интерфейсами.

Компания «Эремекс» активно развивает продукт – регулярно выпускаются обновления, расширяется поддержка языков и форматов, внедряются новые модели и средства анализа. Платформа развивается с учетом реальных запросов инженеров и остается в актуальной технологической повестке. Если вы ищете профессиональное решение для моделирования схем смешанного сигнала, соответствующее современным требованиям, Simtera IC – именно тот инструмент, с которым стоит работать уже сегодня.



ИЗДАТЕЛЬСТВО «ТЕХНОСФЕРА» ПРЕДСТАВЛЯЕТ КНИГУ:



Цена 1300 руб.

Джонс М.Х.

Электроника – практический курс

Издание третье, исправленное

М.: ТЕХНОСФЕРА, 2025. – 512 с.

ISBN 978-5-94836-341-7

В книге – переводе последнего, третьего, английского издания – рассмотрены принципы построения базовых схем современной электроники, широкого спектра как аналоговых, так и цифровых устройств. Это учебное пособие для студентов средних и высших учебных заведений радиотехнических и электронных специальностей наверняка будет полезно широкому кругу радиолюбителей.

При переводе сохранены обозначения и терминология, отличные от принятых в отечественной литературе, что может быть полезно читателям при дальнейшем изучении технической литературы стран Запада.

Для элементов, используемых в рассматриваемых примерах, указаны отечественные аналоги.

Перевод выполнен доцентами кафедры радиотехники МФТИ.

Как заказать наши книги?

По почте: 125319, Москва, а/я 91
По факсу: (495) 956-33-46

E-mail: knigi@technosphere.ru
sales@technosphere.ru

ИНФОРМАЦИЯ О НОВИНКАХ

www.technosphere.ru