

В статье рассматриваются ключевые вопросы реализации сквозного цикла автоматизированного проектирования электронных ячеек в среде САПР Delta Design. Определяются базовые принципы и описываются возможности системы по организации коллективной работы инженеров над проектами радиоэлектронных устройств и с библиотеками компонентов, анализируются проблемы создания и сопровождения единой информационной модели на всех фазах жизненного цикла проектируемого изделия, включая выпуск и верификацию данных для производства.

Представляемые технические решения являются результатом совместного труда коллектива разработчиков ПО, инженеров обеспечения качества программного продукта и сотрудников службы технической поддержки пользователей Delta Design.

Сквозной цикл автоматизированного проектирования радиоэлектронной аппаратуры в среде САПР Delta Design

Автоматизация инженерной деятельности

А.Т. Абрамов, к.т.н. (ООО "ЭРЕМЕКС")

abramov@prosoft.ru

"Nothing is particularly hard if you divide it into small jobs"

Henry Ford

"Нет ничего особенно трудного, если вы разделите это на мелкие работы"

Генри Форд

Введение

Спектр применений электронных устройств продолжает интенсивно расширяться. В первую очередь, это связано с тем, что современная электронная аппаратура, реализуемая на компонентах больших и сверхбольших интегральных схем (БИС/СБИС), обеспечивает эффективное управление и надежный контроль функционирования достаточно сложных технических устройств, объектов и систем – от простых образцов бытовой техники вплоть до изделий аэрокосмической промышленности.

Связанный с этим высокий спрос на электронные устройства требует от разрабатывающих компаний сокращения трудоемкости и сроков выполнения проектных работ, снижения затрат на проектирование и макетирование, повышения качества и надежности создаваемых электронных изделий с одновременным уменьшением соответствующих эксплуатационных затрат.

Существующая инженерная практика показывает, что выполнение этих требований возможно только при использовании средств автоматизации на основных этапах проектного цикла электронных ячеек (согласно терминам и определениям по ГОСТ Р 52003-2003), к которым относятся следующие:

- разработка принципиальных электрических схем;
- цифроаналоговое моделирование;
- конструирование печатных плат (ПП);
- сквозная верификация проектных данных на полностью, ссылочную целостность и непротиворечивость;
- выпуск полного комплекта конструкторской документации и формирование данных для изготовления электронного устройства;

- внесение изменений в проектные спецификации с последующим перепроектированием.

Комплексная автоматизация основных этапов проектирования на базе совместимых программных средств, функционирующих в единой среде управления и оперирующих с общей информационной моделью, составляет сквозной цикл проектирования электронных устройств.

Далее описывается реализация и особенности сквозного цикла автоматизированного проектирования электронных устройств на основе САПР **Delta Design**.

Представляемая реализация аккумулирует в себе достаточно богатый опыт российских и зарубежных разработок в этой области, а также включает собственные инновационные решения по созданию сквозного цикла автоматизированного проектирования электронных устройств.

Основы сквозного цикла на базе Delta Design

Представляемый сквозной цикл проектирования электронных ячеек базируется на САПР **Delta Design**, структурно-функциональная схема которой показана на **рис. 1**.

Функционал **Delta Design** включает следующие средства автоматизации, необходимые при проектировании электронных устройств:

- 1 **FlexyS** – разработка схем электрических принципиальных (ЭЗ);
- 2 **Simtera** – логическое моделирование цифровых устройств;
- 3 **SimOne** – аналоговое моделирование электронных устройств;

4 **DRM** – спецификация и сопровождение иерархии правил проектирования электронных устройств на конструкциях ПП;

5 **RightPCB** – размещение (расстановка) электронных компонентов на ПП и трассировка электрических соединений в интерактивном режиме;

6 **TopoR** – размещение электронных компонентов и трассировка электрических соединений в автоматическом режиме;

7 **3D** – объемная визуализация сборки ПП;

8 **DFM** – генерация и контроль данных для изготовления фотошаблонов слоев и сверления ПП;

9 **SDK** – комплект инструментальных средств для разработки программных расширений базовой функциональности *Delta Design*;

10 **LIBerty** – создание и сопровождение библиотек описаний электронных компонентов.

Ядро сквозного цикла в среде *Delta Design* составляет единая информационная модель, которая содержит данные по выполняемым проектам, используемым библиотекам компонентов, применяемым шаблонам проектных решений, нормативной и технической документации.

Применение единой информационной модели обеспечивает необходимые условия для эффективного функционирования сквозного цикла, а именно:

- содержание модели является единым и актуальным для всех участников процесса проектирования;
- данные модели всегда являются целостными и непротиворечивыми;
- централизованная политика защиты информации от повреждений, разрушений и несанкционированного доступа гарантирует высокую надежность и функциональную устойчивость сквозного цикла.

Для реализации единой информационной модели используется функционал сетевой многопользовательской СУБД **IPR** (www.eremex.ru/products/delta-design/ipr/#conception), что открывает возможности построения масштабируемых решений при развертывании у заказчика сети автоматизированных рабочих мест разработчиков

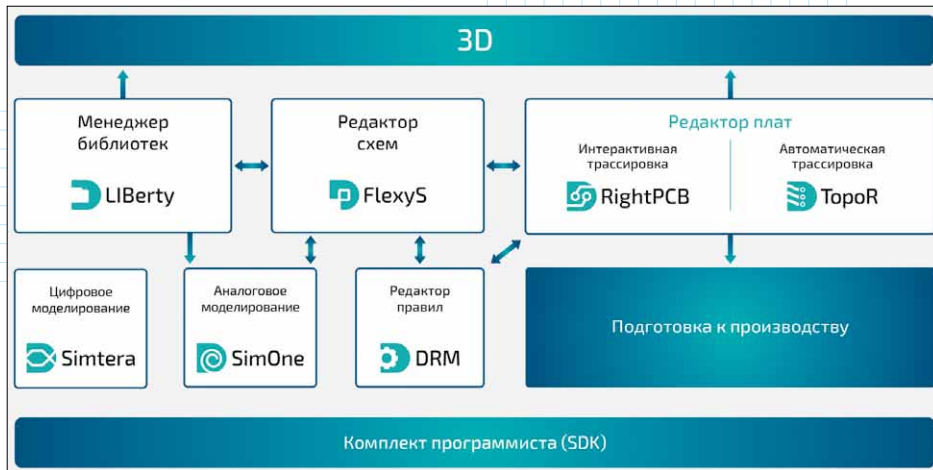


Рис. 1. Структурно-функциональная схема САПР *Delta Design*

и организации совместной работы проектных групп в соответствии с существующей в компании структурой и маршрутами проектирования электронной аппаратуры.

Два уровня коллективной работы

САПР *Delta Design* поддерживает два уровня коллективной работы с разграничением прав доступа на каждый объект информационной модели (проект, схема, плата, библиотека и т.п.) для каждого разработчика электронных устройств (пользователя системы) и проектной группы (группы пользователей).

✓ Сетевая конфигурация

Сетевая конфигурация (*Delta Design Workgroup*) позволяет нескольким пользователям и их группам одновременно работать с общей базой данных, содержащей несколько проектов и библиотек электронных компонентов (рис. 2). Посредством разграничения предоставляемых прав доступа поддерживается, на бесконфликтной основе,

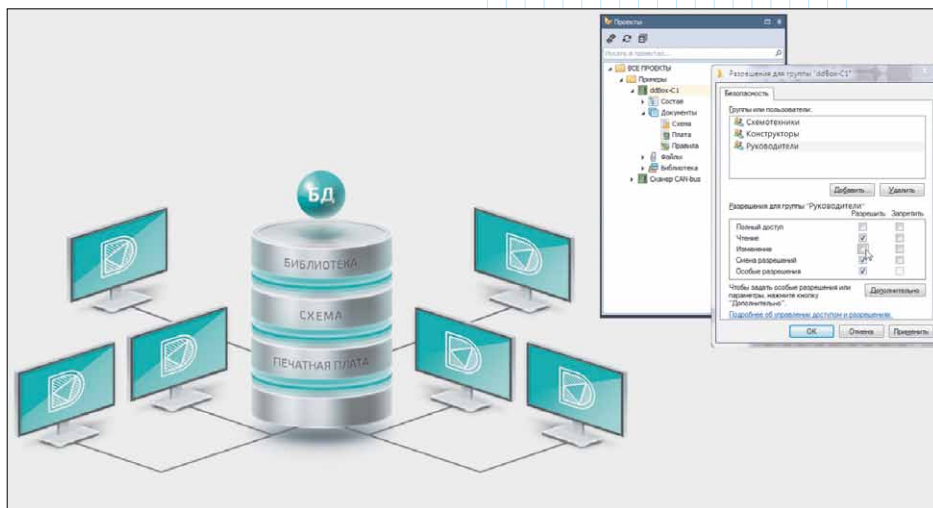


Рис. 2. Сетевая конфигурация *Delta Design Workgroup*

одновременная работа таких ключевых пользователей, как библиотекарь, схемотехник и конструктор.

Разрешение конфликтов, возникающих при одновременном поступлении двух и более пользовательских запросов на редактирование какого-либо элемента данных (например, описания электронного компонента в библиотеке), осуществляется в соответствии со следующим правилом приоритетов: по первому запросу предоставляется разрешение на выполнение полного набора операций в соответствии с правами соответствующего пользователя, для всех последующих – только чтение (просмотр).

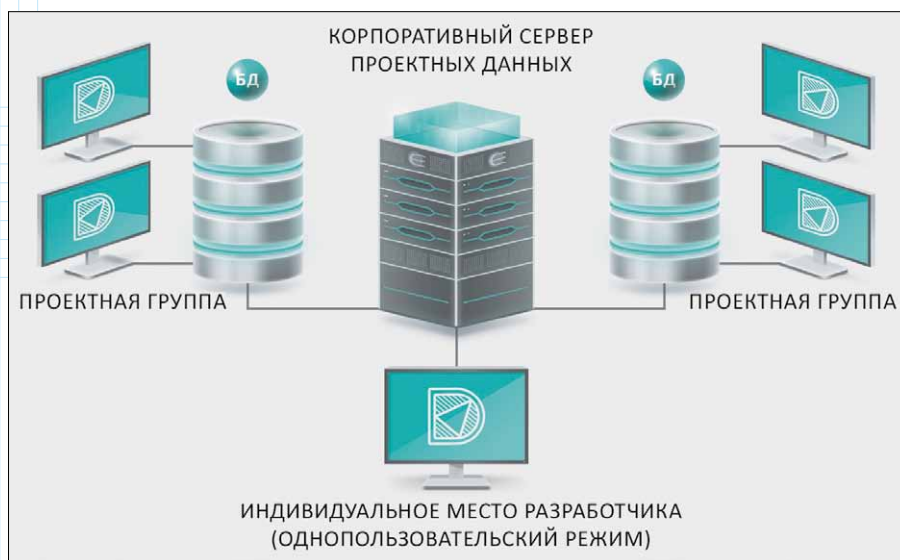


Рис. 3. Корпоративная конфигурация Delta Design Enterprise Server

✓ Корпоративная конфигурация

Корпоративная конфигурация (*Delta Design Enterprise Server*) объединяет все проектные базы данных на предприятии в единое информационное пространство, обеспечивая динамическую синхронизацию их содержимого (рис. 3). Системный администратор подключает новые проектные базы данных к корпоративной конфигурации и осуществляет централизованное администрирование, включая решение вопросов защиты информации от несанкционированного доступа и обеспечения её сохранности.

Разработчики могут предоставлять доступ к своим библиотекам и проектам другим зарегистрированным пользователям единого информационного пространства.

Основным достоинством корпоративной конфигурации являются возможности распределенной работы с проектными данными с одной стороны, и централизованного их хранения и администрирования – с другой. Это обеспечивает минимизацию операций информационного обмена между разработчиками, а также гарантирует использование только актуальных данных (библиотечных описаний, проектных спецификаций, различных настроек и т.п.).

Представленные конфигурации совместной разработки составляют концептуальную основу при организации сквозного цикла проектирования радиоэлектронной аппаратуры группами разработчиков.

Информационная модель *Delta Design*

Логическая структура информационной модели является ключевым фактором при построении сквозного цикла, так как определяет возможности автоматизации работ на этапах схемотехнического и конструкторского проектирования, включая стадию подготовки производства.

Верхний уровень структуры информационной модели составляют проекты радиоэлектронных устройств, библиотеки электронных компонентов и шаблоны проектных решений (в *Delta Design* шаблоны проектных и документационных решений называются *стандартами*).

Каждый проект содержит описание разрабатываемого устройства в виде электрической схемы (ЭЗ), правила его проектирования на печатной плате и собственно описание печатной платы – её конструкции, плана размещения электронных компонентов и разводки соединений в соответствии с заданной электрической схемой.

Каждая библиотека модели содержит описания электронных компонентов:

- на уровне схемотехнического представления – в виде условных графических обозначений (УГО);
- на уровне конструкторского – в виде посадочных мест корпусов на ПП.

В информационной модели каждый проект может использовать (то есть содержать ссылки) описания электронных компонентов из одной и более библиотек, а описания электронных компонентов из библиотеки могут быть использованы (то есть могут являться ссылками) в одном и более проектах. При этом поддерживается следующая политика обеспечения ссылочной целостности данных: описание электронного компонента не может быть удалено из библиотеки, если к нему имеется хотя бы одна ссылка в проектах. Библиотека не может быть удалена из модели, если существует, по крайней мере, одна ссылка из проектов на описания её компонентов.

Библиотеки электронных компонентов

Библиотеки (рис. 4) содержат необходимые для проектирования и выпуска технической документации данные по условным графическим обозначениям компонентов, посадочным местам, контактными

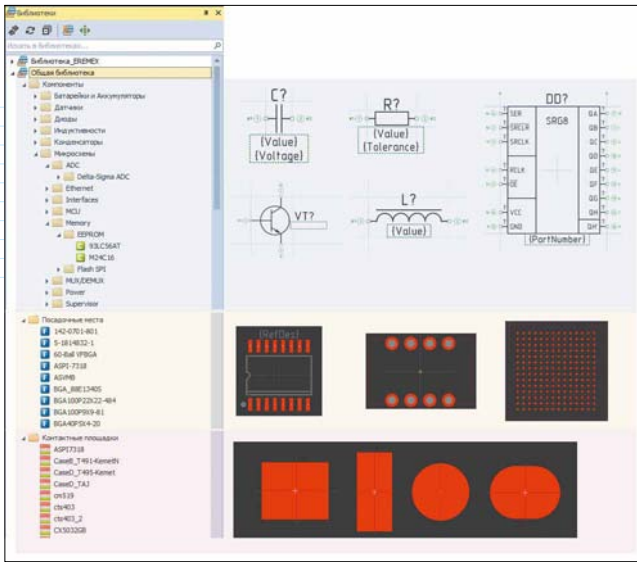


Рис. 4. Библиотеки электронных компонентов

площадкам и сквозным монтажным отверстиям. Описания электронных компонентов организуются в семействах согласно ГОСТ 2.710-81. Единая система конструкторской документации (ЕСКД). Обозначения буквенно-цифровые в электрических схемах.

Компоненты одного семейства идентифицируются общим буквенным префиксом в обозначениях на электрической схеме (*R*, *C*, *L*, *D* и т.д.) и описываются одинаковыми наборами базовых атрибутов (артикул, описание, производитель и т.п.). Допускается расширение состава семейств компонентов и атрибутов по каждому семейству. С каждым семейством электронных компонентов в библиотеке ассоциируется одно и более библиотечных описаний – радиодеталей, содержащих информацию о производимых электронных приборах данного семейства, их параметрах и свойствах (например, артикул, номинал, точность, мощность рассеивания, тип корпуса и др.). Описание каждой радиодетали в библиотеке связывается с одним из описаний посадочных мест для её установки на печатной плате.

Информационная модель библиотечных описаний обладает следующими основными свойствами:

- каждая библиотека содержит описания одного и более электронных компонентов;
- каждый электронный компонент обязательно принадлежит одному из объявленных семейств и включает условное графическое обозначение (одно или два) на электрической

схеме (второе УГО каждого электронного компонента в *Delta Design* называется альтернативным; оно является опциональным и предусмотрено для использования в электрических схемах, разрабатываемых в соответствии со стандартами и требованиями, отличными от принятых в ГОСТax);

- каждому электронному компоненту соответствует набор описаний радиодеталей, определяемый номенклатурой производимых (и доступных для применения в проектах) электронных приборов. Создание каждой пары “компонент – радиодеталь” выполняется только при создании экземпляра компонента на электрической схеме. В этом случае отпадает необходимость в создании и хранении в библиотеке всех возможных сочетаний “компонент – радиодеталь”;
- каждой радиодетали назначается описание только одного посадочного места; допускается замена посадочного места для радиодетали на другое;
- каждое посадочное место включает одну и более контактных площадок (а также монтажных отверстий, при необходимости);

• в рамках информационной модели поддерживается политика обеспечения ссылочной целостности библиотечных описаний, когда недопустимы удаления каких-либо библиотечных описаний, на которые имеются ссылки в составе других описаний. В частности, не допускается удаление описания контактной площадки, на которое имеется ссылка хотя бы из одного описания посадочного места, удаление описания посадочного места, на которое установлена ссылка, по крайней мере, из одного описания радиодетали, удаление описания радиодетали при наличии на ЭЗ хотя бы одной ассоциированной пары “компонент – радиодеталь”;

Управление библиотеками и библиотечными описаниями выполняется Менеджером библиотек (*LIBerty*), обеспечивающим ввод и редактирование условных графических обозначений компонентов,

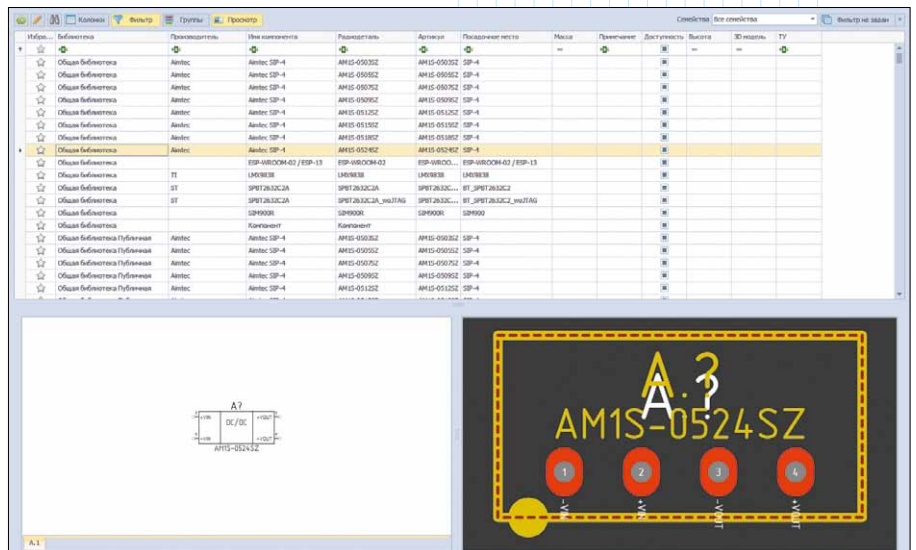


Рис. 5. Рабочее окно навигатора по библиотекам электронных компонентов

описаний посадочных мест, радиодеталей, контактных площадок, монтажных отверстий и пр.

Для повышения производительности операций по вводу библиотечных описаний используются специализированные программы-мастера, обеспечивающие автоматизацию ввода данных и гарантирующих соответствие создаваемых УГО требованиям **ГОСТ-2.743**, а посадочных мест – требованиям **IPC-7351 / ГОСТ Р МЭК**. Атрибутивные данные по электронным компонентам могут массово импортироваться (или экспортироваться) в формате **CSV**.

Просмотр и анализ содержимого библиотек информационной модели осуществляется с помощью программного навигатора, позволяющего перемещаться по описаниям электронных компонентов, радиодеталей и посадочных мест (рис. 5).

Для обмена библиотечными описаниями между удаленными разработчиками (то есть не работающими в общей сетевой конфигурации), при интеграции с другими системами автоматизации или в целях архивного хранения библиотек используются средства экспорта данных в текстовые файлы и обратной загрузки (импорта).

Проекты электронных устройств

Информационная модель *Delta Design* включает один и более проектов, каждый из которых содержит полное и законченное описание структуры проекта (включая ссылки к библиотечным описаниям электронных компонентов), его свойств и правил проектирования.

Информационная модель каждого проекта состоит из следующих взаимосвязанных структурных составляющих (рис. 6):

- схема электрическая принципиальная (ЭЗ);
- конструкция печатной платы;
- правила проектирования печатного монтажа.

Анализ и перемещение (навигация) между структурными составляющими каждого проекта (электронными компонентами, электрическими цепями, правилами проектирования) на ЭЗ и печатной плате осуществляется с помощью *Менеджера проекта* (рис. 7).

В дополнение к структуре проекта информационная модель содержит следующие данные:

- результаты моделирования схемы проекта;
- содержание генерируемых отчетов: ведомость покупных изделий, перечень элементов, иерархический перечень элементов;
- прикрепленные файлы произвольных форматов, содержащие документы и дополнительные пояснения;
- множество версий проекта, содержащих описания проектных модификаций;
- локальная библиотека, описания электронных компонентов которой доступны только для данного проекта;
- данные для изготовления послойных фотошаблонов и сверления ПП, представленные в формате *Gerber*;
- данные для выполнения электрического контроля ПП, представленные в формате *IPC-D-356A*.

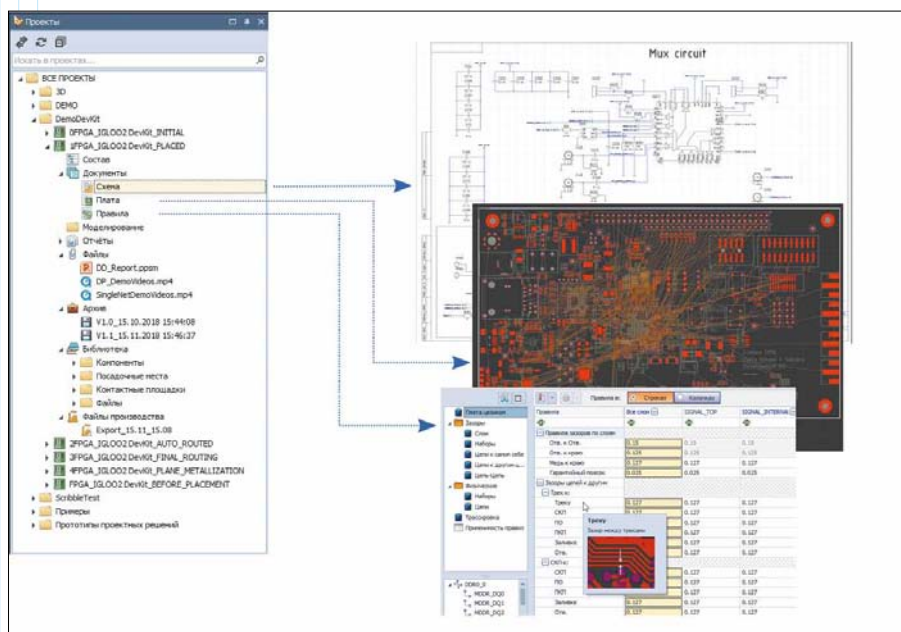


Рис. 6. Панель проектов электронных устройств

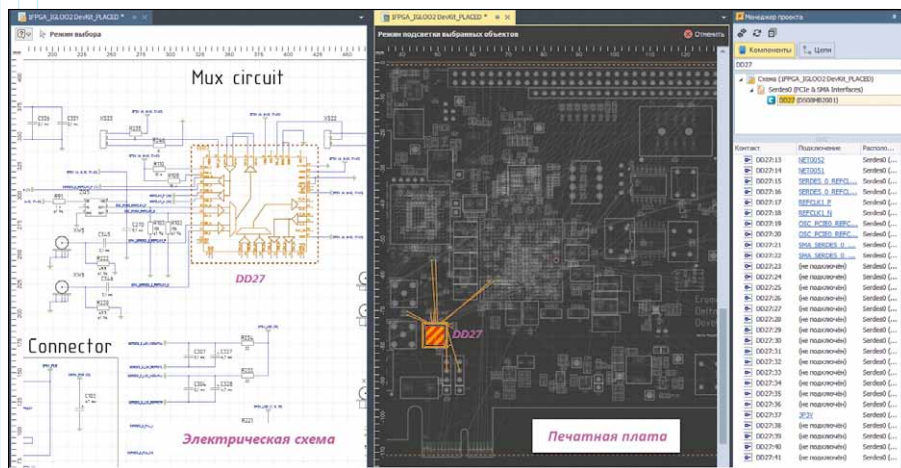


Рис. 7. Рабочие окна представления компонентов и цепей на ЭЗ и печатной плате

При работе с проектами в информационной модели поддерживается следующая политика обеспечения ссылочной целостности:

- недопустимо удаление из библиотеки описания электронного компонента, используемого хотя бы в одном проекте;
- удаление компонента из электрической схемы сопровождается автоматическим удалением этого компонента с печатной платы;
- удаление компонента с печатной платы не изменяет содержания электрической схемы; компонент получает статус “подлежащего размещению на печатной плате”;
- при изменении свойств электронного компонента на электрической схеме (например, при замене посадочного места) соответствующие изменения выполняются и на ПП;
- при удалении цепи в электрической схеме соответствующие проводники и межслойные металлизированные переходы этой цепи удаляются из структуры печатного монтажа платы;
- редактирование разводки цепи (переукладка или удаление соединений) на печатной плате не изменяет каких-либо свойств этой цепи на электрической схеме.

Функциональные подсистемы *Delta Design*

Набор подсистем САПР *Delta Design* (рис. 1) обеспечивает автоматизацию сквозного цикла проектирования электронных ячеек. Рассмотрим их подробнее.

1. Автоматизированное проектирование электрических схем (*FlexyS*)

Подсистема *FlexyS* предназначена для автоматизации разработки многоступенчатых иерархических схем с произвольным уровнем вложенности электронных блоков; она поддерживает структурный подход по технологиям “сверху вниз” или “снизу вверх” при проектировании сложных электронных устройств.

Разработка электрических схем выполняется с использованием библиотек УГО электронных компонентов, форматов и штампов чертежных документов, шрифтов и пр., подготовленных и аттестованных на соответствие требованиям ГОСТов (рис. 8).

Средства разработки электрических схем обеспечивают:

- соответствие требованиям ГОСТов, предъявляемым к оформлению документов электрических схем, а именно: соблюдение минимальных расстояний на чертежах ЭЗ между условными графическими

обозначениями электронных компонентов и линиями электрической связи, требований по вычерчиванию линий электрической связи, установки обозначений соединителей и т.д.;

- развитые возможности по поиску в библиотеках требуемых электронных компонентов путем задания комбинированных запросов по семействам, шаблонам имен и (или) параметрам;
- автоматический контроль и диагностику допустимости размещения УГО электронных компонентов в указываемые разработчиком позиции на листах ЭЗ, перенос и поворот УГО с автоматическим перестроением подсоединенных к ним линий электрической связи;
- автоматическое назначение электронным компонентам уникальных позиционных обозначений по схеме;
- автоматизированную прокладку линий электрической связи между выводами УГО, назначение уникальных наименований цепей в проектируемой электрической схеме;
- использование шин соединений, формируемых по заданному набору цепей, либо динамически – по мере подключения к ним линий электрической связи цепей;
- эффективную навигацию по компонентам и цепям проектируемой схемы с помощью инструмента *Менеджер проекта*, возможности оперативного получения информации по цепям, классам цепей, дифференциальным парам, цепям питания и расширенным цепям, формирование статистики по типам и количеству используемых в проектируемой схеме компонентов;
- наличие встроенной библиотеки *SPICE*-компонентов, содержащей модели абстрактных (источники тока и напряжения, ключи и пр.) и типовых компонентов (резисторы, диоды, транзисторы

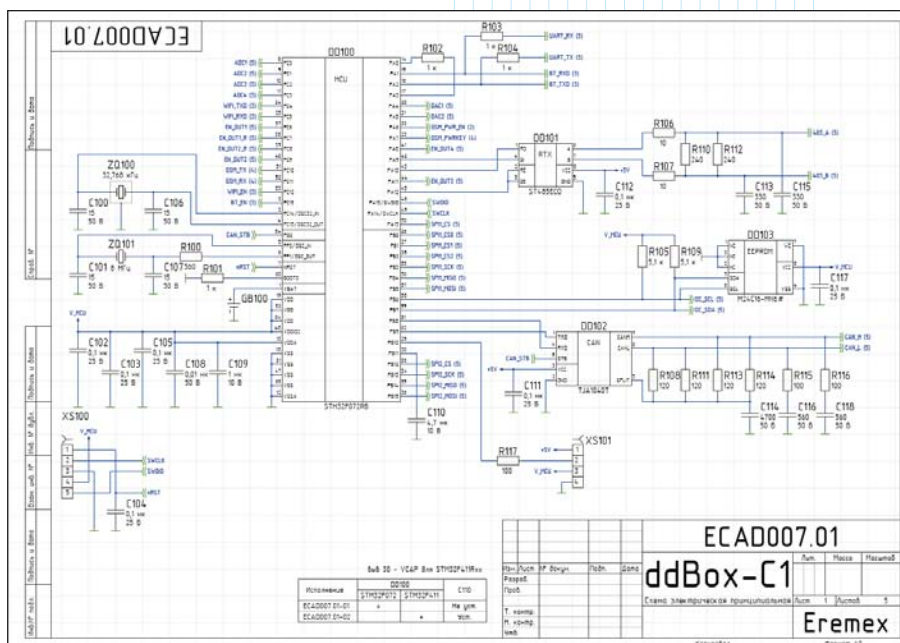


Рис. 8. Пример оформления электрической схемы

ERC	T	W	P	OE	OC	BI	O	I
Input (I)	✓	✓	✓	✓	✓	✓	✓	✓
Output (O)	✓	✓	✓	✓	✓	✓	✓	✓
Bidirectional (BI)	✓	✓	✓	✓	✓	✓	✓	✓
OpenCollector (OC)	✓	✓	✓	✓	✓	✓	✓	✓
OpenEmitter (OE)	✓	✓	✓	✓	✓	✓	✓	✓
Passive (P)	✓	✓	✓	✓	✓	✓	✓	✓
Power (W)	✓	✓	✓	✓	✓	✓	✓	✓
3-State (T)	✓	✓	✓	✓	✓	✓	✓	✓

Параметр	Статус
Неиспользуемые секции компонентов	⚠
Цели без подключений	⚠
Шины без цепей	⚠
Компоненты без посадочных мест	⚠
Неполная шина	⚠
Неверное подключение цепи к шине	⚠
Короткое замыкание компонента	⚠
Незавершенные проводники	⚠
Неподключенный вывод компонента	⚠
Неиспользуемый блок	⚠
Несвязанные фрагменты цепи	⚠
Не задан тип вывода	⚠
Цели без источника сигнала	⚠
Цели с несколькими источниками сигнала	⚠
Цели без нагрузки	⚠

Рис. 9. Панель настройки средств верификации электрических схем

и т.д.), применяемых при анализе функциональности электрической схемы, её поведенческих и параметрических свойств путем аналогового моделирования электрических схем средствами подсистемы *SimOne*;

- верификацию разрабатываемой электрической схемы на её полноту и непротиворечивость путем выполнения автоматических проверок наличия замыканий в цепях, их незавершенности, контроля правильности подключения к цепям входных, выходных и двунаправленных выводов компонентов и т.д. Допускается изменение статуса результата по каждому виду проверок (“Ошибка” или “Предупреждение”), а также отключение отдельных (или всех) проверок с возможностями их последующего восстановления (рис. 9);

- конвертацию описания электрической схемы в формат *SmartPDF*, располагающий возможностями гипертекстовой навигации и поиска информации в иерархически организованной панели закладок листов ЭЗ, компонентов, цепей и шин;

- автоматическое формирование ведомости покупных изделий и перечня элементов с возможностями настройки форматов документов на соответствие требованиям отраслевых стандартов (рис. 10). Поддерживаются возможности экспорта содержания документов в табличное представление (в формате *XLS*).

2. Логическое моделирование цифровых устройств (*Simtera*)

Логическое моделирование является распространенным способом проверки поведенческих и функциональных свойств цифровых устройств с целью сокращения затрат, связанных с созданием и испытаниями опытных образцов.

Структура цифрового устройства для моделирования описывается на одном из распространенных

Поз. обозначение	Наименование	Кол-во
Конденсаторы		
C1	C1005X5R1C105K 1 мкФ 16 В	1
C2	C1005X7R1M102K050A 1 мкФ 50 В	1
C3	C1005X7R1C104K050A 100 нФ 16 В	1
C4	C1005C0G1H330K050A 330 пФ 50 В	1
C5,C6	C1005X5R1C105K 1 мкФ 16 В	2
C7	T495	1
C8	GRM15SR7J304KABD 100 нФ	1
C9	C_0805 4,7 мкФ 25 В	1
C10	T495	1
C11	C1005C0D1H471M050A 470 пФ 50 В	1
C12	C0402C183K0RACTU 18 нФ	1
C13	C_0805 4,7 мкФ 25 В	1
C14	C_0805 4,7 мкФ 25 В	1
C15	GRM15SR7J304KABD 100 нФ	1
C16	C_0805 10 мкФ 10 В	1
C17	C0402C102K3RACTU 1 нФ	1
C18	C_0603 1 мкФ 16 В	1
C19	C 12061	1
C20-C24	C_0603 10 мкФ	5
C25	C_0603 100 нФ 50 В	1
C26	C_0805 10 мкФ 10 В	1
C27	C_0603 10 мкФ	1
C28	C_0603 15 мкФ 50 В	1
C29	C_0603 10 мкФ	1
C30,C31	C_0603 22 мкФ 6,3 В	2
C32	GRM15SR7J304KABD 100 нФ	1
C33	C_0603 10 мкФ	1
C34-C35	GRM15SR7J304KABD 100 нФ	2
C36	C_0603 10 мкФ	1
C37	GRM15SR7J304KABD 100 нФ	1
C38	C_0603 10 мкФ	1
C39-C41	GRM15SR7J304KABD 100 нФ	3
C42	C0402C102K3RACTU 1 нФ	1
C43-C45	GRM15SR7J304KABD 100 нФ	3
C46	C 1206	1
C47-C52	GRM15SR7J304KABD 100 нФ	6
C53	T4912	1
C54-C57	C_0603 10 мкФ 50 В	4
C58	C_0603 10 мкФ	1
C59	C_0603 10 мкФ 50 В	1
C60	GRM15SR7J304KABD 100 нФ	1
C61,C62	GRM15SR7J304KABD 100 нФ	2

Рис. 10. Перечень элементов

языков описания электронной аппаратуры (*Verilog, System Verilog, VHDL-AMS, Verilog-AMS, System-C*), а значения сигналов в соединениях и динамика их изменений во времени отображаются на рабочей панели *Simtera* (рис. 11).

Поддерживаются режимы логического моделирования синхронных и асинхронных цифровых устройств в многозначном алфавите возможных значений сигналов.

Подсистема включает возможность моделирования и анализа совместной работы аппаратной части цифрового устройства и программного обеспечения (прошивки) в составе этого устройства, что обеспечивает целостность и полноту результатов моделирования. Кроме того, поддерживается логическое моделирование устройств, содержащих несколько микроконтроллеров или микропроцессоров разной архитектуры, разрядности и работающих на разных тактовых частотах.

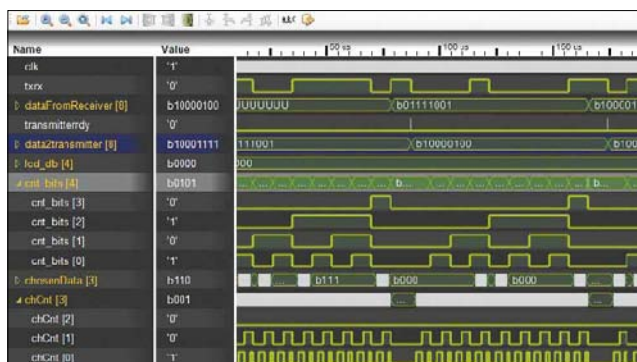


Рис. 11. Рабочая панель *Simtera*

3. Аналоговое моделирование электронных устройств (SimOne)

Средства моделирования аналоговых устройств позволяют выполнить анализ рабочих режимов и оценку параметров схемы до изготовления макетных образцов (рис. 12).

Поддерживаются следующие виды расчетов и анализа:

- расчет рабочей точки схемы, её статических характеристик и чувствительности по постоянному току;
- расчет гармонического режима схемы и частотных характеристик;
- анализ переходных процессов;
- расчет периодических режимов и устойчивости;

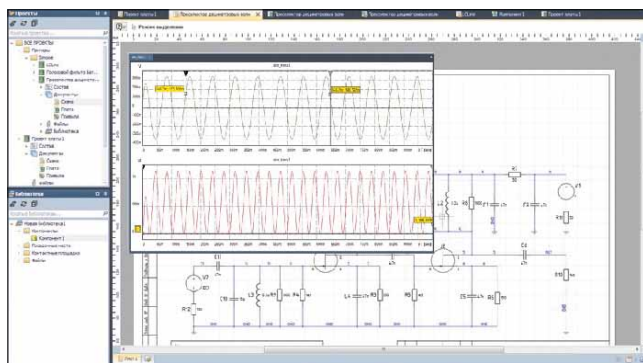


Рис. 12. Рабочие панели SimOne

- температурный и параметрический анализ схемы;
- анализ чувствительности схемы;
- параметрическая оптимизация схемы;
- статистический анализ схемы.

Подсистема SimOne поддерживает распространенные форматы представления электрических схем (SPICE3, PSPICE, LTSPICE, HSPICE), а также экспорт данных в среду Matlab, Maple, Excel.

Библиотека содержит более 30 тысяч моделей электронных компонентов, включая порядка 500 моделей российских производителей.

4. Управление правилами проектирования (DRM)

Правила проектирования регламентируют ограничения по реализации цепей, а также классов цепей (включая дифференциальные пары) на конструкции печатной платы.

Правила применяются к следующим элементам печатного монтажа:

- печатный проводник;
- контактная площадка, выполненная по технологии сквозной металлизации;
- планарная контактная площадка;
- переходное металлизированное отверстие;
- область металлизации на слое;
- сквозное монтажное отверстие;
- граница платы.

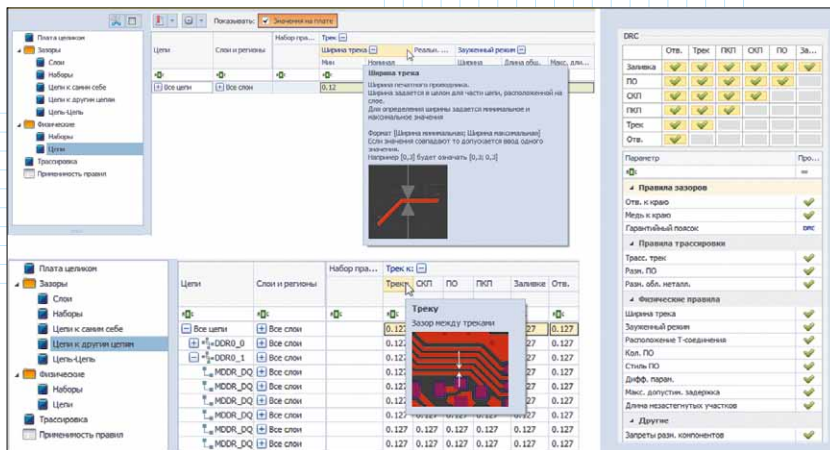


Рис. 13. Таблицы правил проектирования и панель настроек видов проверок

В поставку САПР Delta Design входит начальный набор правил проектирования, регламентирующих технологические ограничения в соответствии с классами точности по ГОСТ Р 53429. В процессе работы над проектом правила могут редактироваться, а исходный набор правил может расширяться.

Правила проектирования регламентируют допустимую ширину проводников и размеры межслойных переходов, значения минимально допустимых расстояний (зазоров) между элементами печатного монтажа, выполняют назначение соединений на слои многослойной печатной платы и т.п. (рис. 13).

Правила организованы в иерархическую структуру, устанавливающую приоритеты их применения к элементам печатного монтажа (рис. 14).

Например, правило, регламентирующее допустимое значение ширины проводников, расположенных в пределах некоторого региона на слое печатной платы, является более приоритетным по отношению к аналогичному правилу для всех проводников, расположенных на этом же слое вне региона. Правило, регламентирующее допустимое значение ширины проводников на некотором слое, является более приоритетным по отношению к такому же правилу, применяемому к проводникам, расположенным на всех других сигнальных слоях печатной платы.

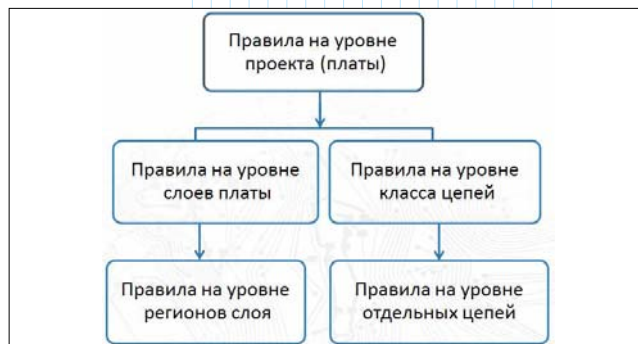


Рис. 14. Иерархическая структура правил проектирования

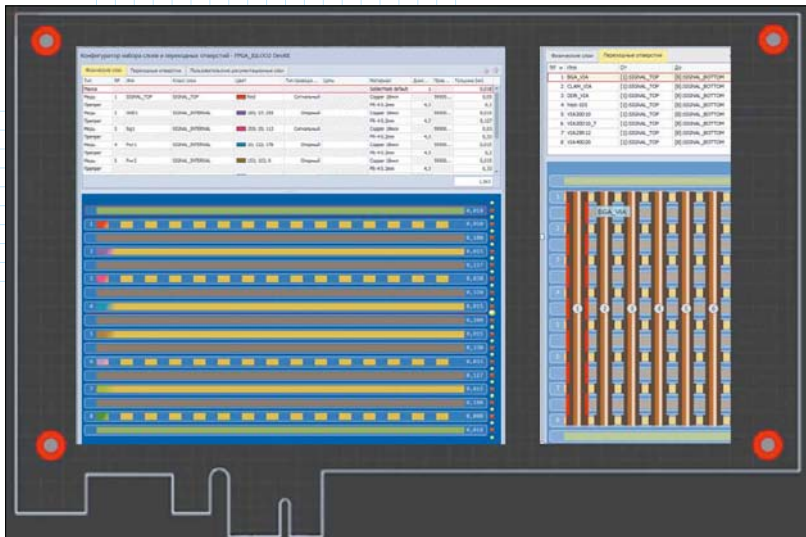


Рис. 15. Конструкция печатной платы

Аналогичным образом определяются приоритеты правил, применяемых к элементам печатного монтажа цепей, классов цепей и проекта в целом.

Процесс проектирования печатной платы сопровождается автоматической проверкой соответствия текущей структуры печатного монтажа заданным правилам проектирования, при обнаружении несоответствий (то есть нарушений проектных норм) в отчет верификации включаются необходимые диагностические сообщения.

Допускается настройка видов проверок, а также изменение уровней критичности обнаруженных несоответствий (ошибка или предупреждение).

5. Проектирование печатной платы (RightPCB)

Проектирование печатной платы начинается с разработки её конструкции (рис. 15), включая:

- задание контура платы или импорт соответствующего описания в формате DXF (как правило, из механических САПР);



Рис. 16. План размещения компонентов на печатной плате

- формирование структуры слоёв и задание стилей межслойных переходов;
- назначение зон запретов для установки электронных компонентов и прокладки печатных проводников.

В системе *Delta Design* предусматриваются возможности сохранения разработанных конструкций печатных плат для последующего их использования в качестве готовых решений.

✓ Интерактивная расстановка компонентов

Интерактивное размещение (расстановка) корпусов электронных компонентов на наружных слоях печатной платы выполняется с автоматическим контролем нарушений проектных правил в режимах установки корпусов вплотную (с минимальными зазорами) или их выравниванием и распределением по плате с заданным шагом. При размещении каждого корпуса допускается его установка в соответствии с одной из четырех разрешенных ориентаций (0, 90, 180 и 270 градусов), а также перенос корпуса с верхнего слоя на нижний и наоборот. По текущему плану размещения формируется отчет, содержащий сводную информацию о размещенных компонентах (рис. 16).

✓ Интерактивная трассировка одиночных соединений

Интерактивная трассировка одиночных соединений осуществляется в полуавтоматическом режиме, когда формирование соединяющего проводника между wybranными человеком элементами печатного монтажа (проводник, контактная площадка компонента или межслойный переход) выполняется автоматически.

Средства интерактивной трассировки обеспечивают:

- поиск кратчайшего соединения с минимальным количеством точек поворотов и углами наклона его сегментов, кратными 45° и 90°;
- режимы прокладки соединений без контроля или с контролем нарушений правил проектирования, обходом или расталкиванием ранее проложенных проводников;
- подключение соединений к контактными площадками в произвольных (или в характерных) точках контуров этих площадок;
- переход соединения со слоя на слой с построением межслойного перехода в многослойном лабиринте печатного монтажа.

При необходимости, длина каждого построенного соединения может быть увеличена до требуемой величины путем

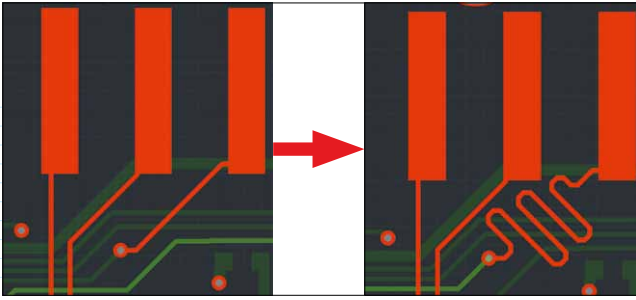


Рис. 17. Увеличение длины соединения

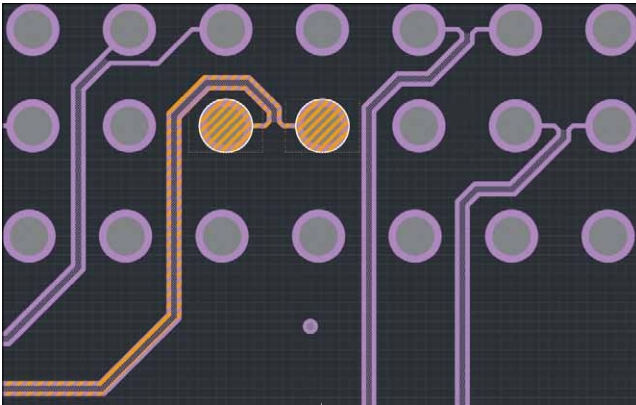


Рис. 18. Соединения в дифференциальных парах

включения дополнительных участков с соблюдением правил проектирования (рис. 17).

✓ **Интерактивная трассировка дифференциальных пар**

Интерактивная трассировка дифференциальных пар обеспечивает прокладку симметричных соединений для пар цепей – с контролем заданных правил проектирования и ограничений на максимально допустимые фазовые несоответствия (рис. 18).

✓ **Построение фанаутов**

Функционал построения фанаутов (рис. 19) обеспечивает автоматическое размещение и подключение межслойных переходов к планарным выводам SMD-компонентов (BGA, QFP, QFN, SOIC). Выбор компонентов (или отдельных выводов) для построения фанаутов осуществляется в рабочем окне платы или путем настройки фильтров по именам компонентов и (или) выводов. При размещении фанаутов задаются параметры, указывающие взаимное расположение выводов и фанаутов.

✓ **Области металлизации**

Обеспечивается создание областей металлизации на сигнальных и выделенных слоях “земли” и питания с использованием заданных пользователями стилей заливок (рис. 20).

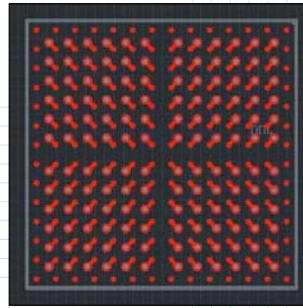


Рис. 19. Фанауты планарных выводов

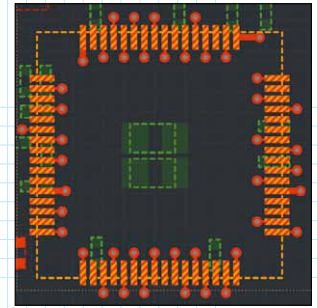


Рис. 20. Области металлизации на сигнальном слое III

6. Автоматизированная трассировка печатных плат (ToroR)

Средствами автоматизированной трассировки выполняется разводка соединений в соответствии с заданной электрической схемой, конструкцией платы и правилами проектирования печатного монтажа (рис. 21).

Подсистема ToroR обладает следующими основными возможностями:

- гибкая топологическая трассировка соединений в произвольных направлениях;
- автоматическая оптимизация формы прокладываемых проводников. Каждый прокладываемый проводник имеет кратчайшую длину и огибает встреченные контактные площадки по дугам окружностей с соблюдением заданных правил проектирования на минимально допустимые зазоры между элементами печатного монтажа;

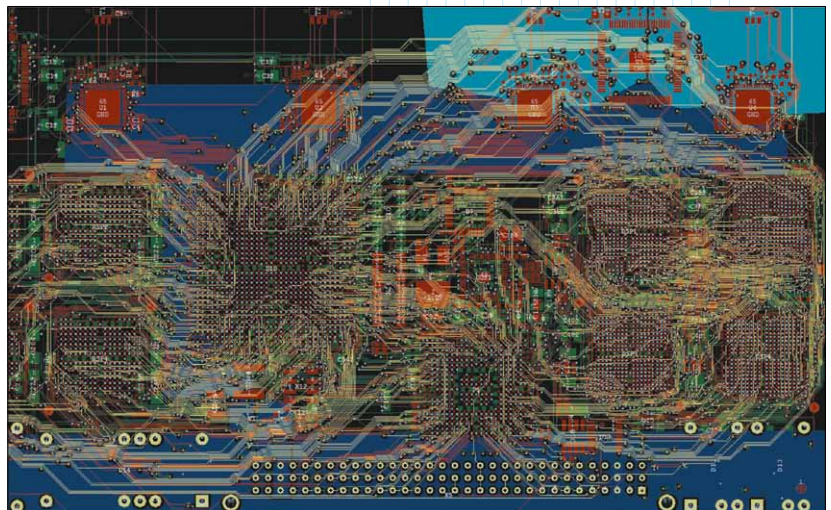


Рис. 21. Автоматизированная трассировка средствами ToroR

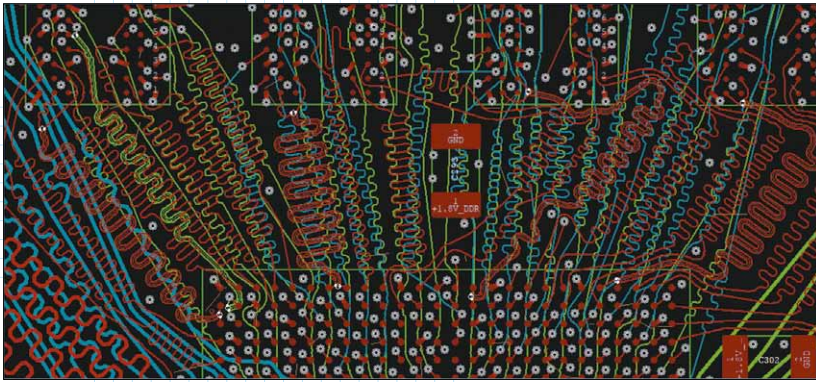


Рис. 22. Фрагмент разводки печатной платы высокого быстродействия

- параллельное выполнение оптимизации для нескольких альтернативных вариантов разводки соединений;
- возможность указания для каждой цепи минимально допустимого и номинального зазоров между проводниками этой цепи и другими элементами печатного монтажа;
- автоматическое уменьшение ширины проводника (“зауживание”) при подключении к контактам с размерами, меньшими, чем ширина этого проводника, а также в случаях его прохождения через узкие места (например, между близко расположенными контактами компонента);
- возможности каплевидного сочленения проводников с соединяемыми контактными площадками;
- перемещение электронных компонентов на полностью или частично разведенной плате с сохранением целостности разводки и соблюдением правил проектирования;
- минимизация количества межслойных переходов при поиске и построении соединений в многослойных печатных платах. При трассировке однослойных ПП минимизируется количество

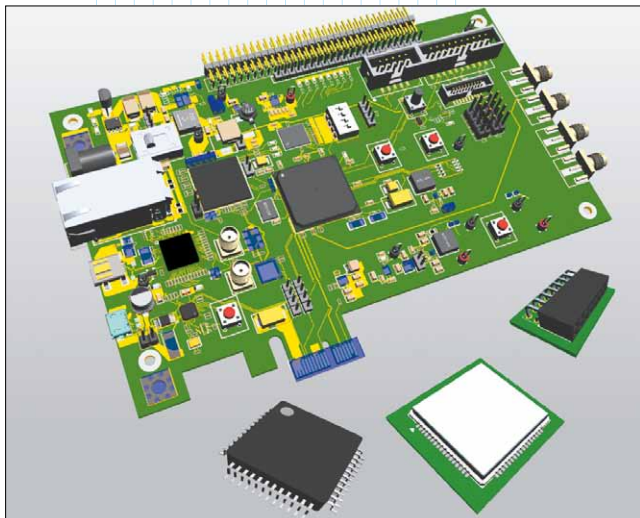


Рис. 23. Трехмерные представления проекта ПП и корпусов электронных компонентов

перемычек, необходимых для коммутации всех требуемых соединений;

- полигональная разводка, выполняющая автоматическое преобразование топологий проводников в полигональные области с максимально возможными размерами, что уменьшает омическое сопротивление результирующих соединений;
- автоматический контроль соответствия структуры печатного монтажа заданным правилам проектирования – как в процессе автоматической трассировки, так и на этапе её редактирования в интерактивном режиме;
- автоматическая трассировка выводов BGA-компонентов с построением фанатов.

При проектировании печатных плат для электронных устройств высокого быстродействия обеспечиваются возможности спецификации допустимых значений задержек при передаче одиночных сигналов или их групп, а также относительных задержек внутри группы сигналов и/или между группами. Для выравнивания задержек в соединениях применяются операции удлинения проводников путем добавления к ним “серпантина” надлежащей длины (рис. 22).

Реализована трассировка дифференциальных пар с возможностями задания правил для контроля равенства задержек в проводниках пары.

7. Объемная визуализация печатной платы

Средства 3D-визуализации позволяют формировать реалистичное представление трехмерной модели печатной платы, анализировать взаимное расположение компонентов на плате, соответствие корпусов назначенным для монтажа посадочным местам (рис. 23). Объемная модель используется для оптимизации компоновки платы до отправки на производство, что сокращает сроки проектирования и изготовления изделия. Обеспечивается сохранение построенной модели печатной платы в распространенных форматах C3D, STEP и IGES (граничное представление), а также STL и VRML (полигональное представление).

8. Подготовка данных для производств печатных плат (DFM)

Основной задачей этапа является создание и проверка технологических файлов до их передачи на производство печатных плат (рис. 24).

Данные для изготовления послойных фотошаблонов, сверления и контроля печатных плат генерируются в форматах Gerber, Drill и IPC-D-356A (кроме того, система Delta Design включает средства формирования данных в формате ODB++).

Встроенные средства визуализации этих данных обеспечивают их детальный просмотр и удобную навигацию, в частности: одновременный показ объектов печатного монтажа в окнах отображения производственных файлов и редактора ПП,

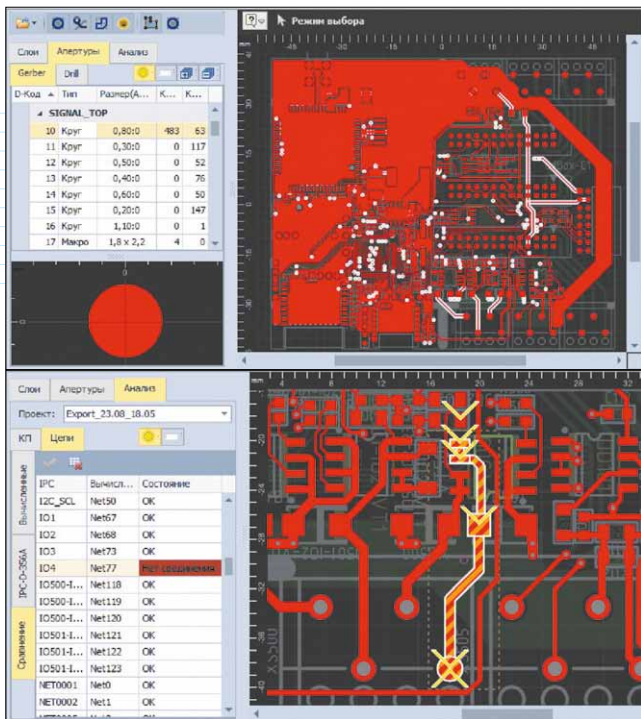


Рис. 24. Панели визуализации содержания технологических файлов

представление списка используемых апертур и сверл, показ свойств объектов, поиск, фильтрация и подсветка интересующих объектов.

Детальный анализ данных для производства выполняется с помощью средств восстановления списка цепей по геометрии проводящего рисунка, загрузки эталонного списка цепей (в формате IPC-D-356A) и автоматического сравнения обоих списков – с показом разрывов в соединениях, замыканий элементов печатного монтажа разных цепей и т.д.

9. Комплект программиста (SDK)

Расширение функциональных возможностей *Delta Design* и автоматизация отдельных проектных операций непосредственно пользователями обеспечивается набором инструментальных средств для разработки скриптов на языке C# и предоставлением доступа к основным функциям системы через открытый программный интерфейс работы со схемой, печатной платой, библиотеками электронных компонентов.

Разработка скриптов выполняется с помощью встроенного текстового редактора, обеспечивающего подсветку синтаксиса языковых конструкций, полную поддержку технологий *IntelliSense* и *Code Completion*, динамическое отображение подсказок по всем функциям системы, ошибок и предупреждений.

Настройка (кастомизация) *Delta Design*

В условиях массового использования программного продукта неизбежно возникает необходимость в его настройке под индивидуальные предпочтения пользователей и групп пользователей.

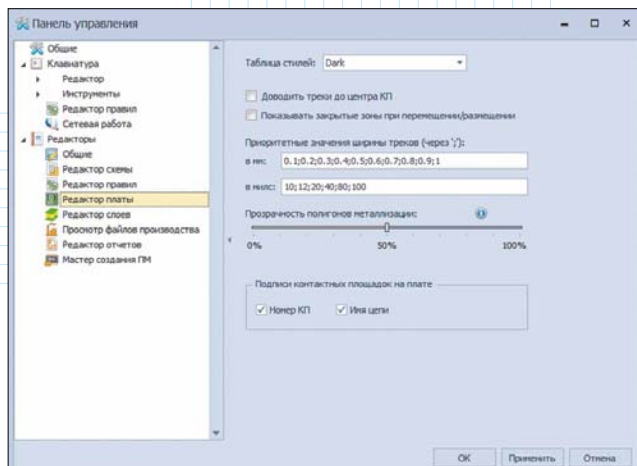


Рис. 25. Панель управления для настройки интерфейса пользователя

Система *Delta Design* предлагает две категории настроек:

- настройки пользовательского интерфейса;
- расширяемые наборы предустановленных шаблонов документов и проектных решений.

Настройки пользовательского интерфейса (горячие клавиши, цветовые палитры, панели инструментов и т.д.) выполняются с помощью панели управления (рис. 25).

Расширяемые наборы предустановленных шаблонов документов и проектных решений используются при выполнении работ по ведению библиотек электронных компонентов, при разработке электрической схемы и конструировании печатной платы. Все настройки этой категории объединяются в так называемую группу “Стандарты”; допускается их расширение и обмен между разработчиками (группами разработчиков) с целью применения унифицированных стандартов и типовых проектных решений в процессах совместной разработки.

Краткие описания некоторых из настроек этой категории приводятся на рис. 26÷33.

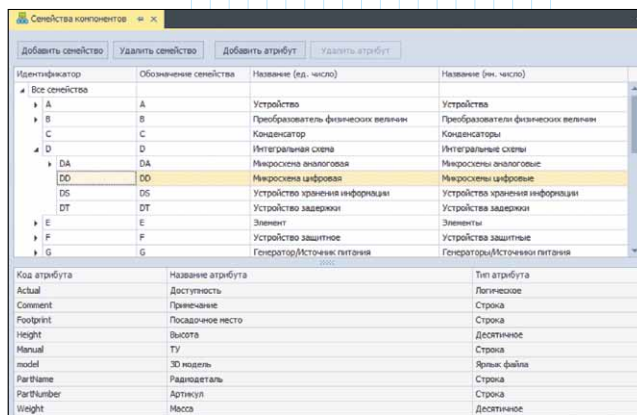


Рис. 26. Семейства компонентов: шаблоны содержат номенклатуру семейств и подсемейств электронных компонентов



Рис. 27. УГО: широкий набор условных графических обозначений электронных компонентов, соответствующих требованиям ГОСТов и доступных при разработке библиотек компонентов

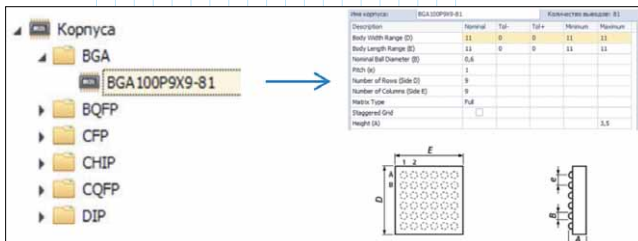


Рис. 28. Корпуса: набор типовых корпусов для электронных компонентов

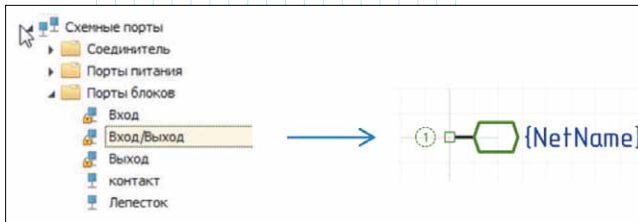


Рис. 29. Схемные порты: набор условных графических обозначений схемных портов, используемых при разработке ЭЗ

Тип материала	Имя	Толщина (мм)	Диэлектрик...	Проводимо...	По умолчанию
Медь	Copper 18mil	0,018		59500000	
Медь	Copper 33mil	0,035		59500000	
Сюнола	Core default	1,55	4,3	59500000	
Препрег	FR-4 0.2mm	0,2	4,3		
Препрег	FR-4 1.55mm	1,55	4,3		
RCC	ResinCoatedCopper default	1,55	4,3	59500000	
Маска	SolderMask default	0,018	1		

Рис. 30. Материалы: набор материалов слоёв для изготовления печатных плат



Рис. 31. Шаблоны слоёв: расширяемый набор шаблонов слоёв печатных плат

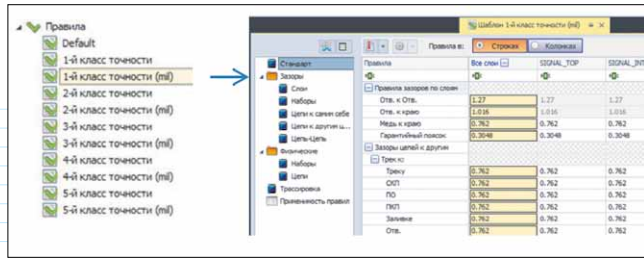


Рис. 32. Предусмотренные правила проектирования печатных плат в соответствии с требованиями ГОСТ Р 53429-2009

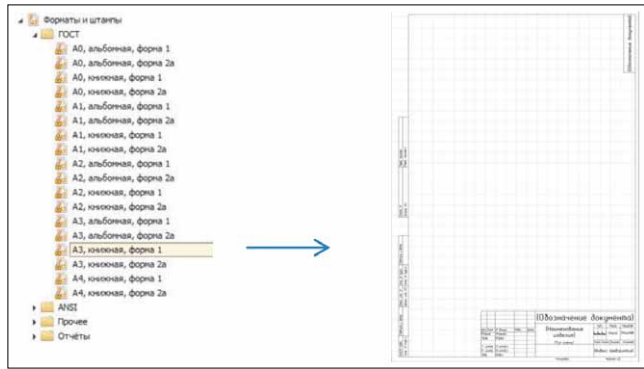


Рис. 33. Исходный набор форматов и штампов документов, выполненных в соответствии с требованиями ГОСТов и ANSI, включая отчеты по ведомости покупных изделий и перечни элементов

Интеграция Delta Design с другими средствами автоматизации

Система Delta Design располагает развитыми средствами двустороннего обмена проектными данными с другими средствами автоматизированного проектирования класса CAD, ECAD/EDA, PLM, PDM, CAM, CAE, что обеспечивает высокую гибкость в вопросах её интеграции и встраивания в существующую ИТ-инфраструктуру предприятий (рис. 34).

Совместно с САПР КОМПАС-3D и ЛОЦМАН:PLM (разработчик – предприятие АСКОН) система Delta Design образует достаточно мощную программно-информационную основу для организации на предприятии сквозного цикла комплексного проектирования изделий приборостроения (рис. 35).

В частности, интеграция Delta Design с КОМПАС-3D позволяет конструкторам размещать на печатных платах корпуса электронных компонентов с учетом 3D-представления изделия в целом, а интеграция с ЛОЦМАН:PLM обеспечивает хранение в общей структуре изделия результатов проектирования, полученных в Delta Design, таких как:

- электрическая схема;
- чертежная документация (DXF);
- файлы для производства фотошаблонов и сверления печатных плат (Gerber, Drill, Excellon);
- перечень материалов (BOM);
- ведомость покупных изделий, драгоценных металлов и др.

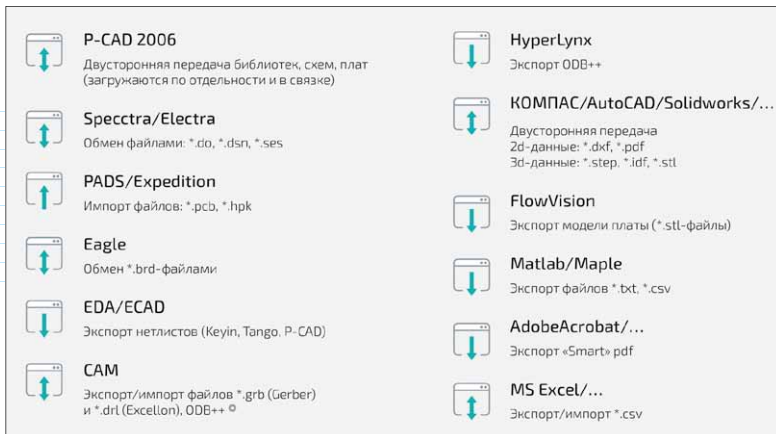


Рис. 34. Внешние информационные интерфейсы Delta Design

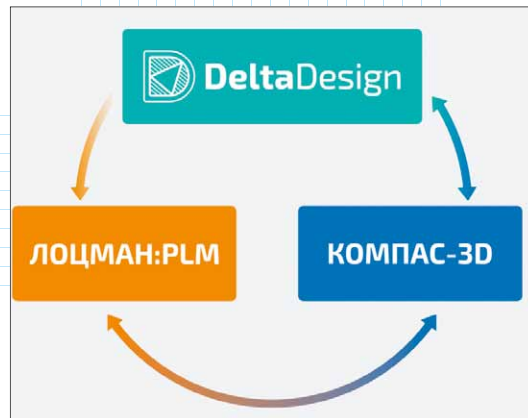


Рис. 35. Сквозной цикл комплексного проектирования изделий приборостроения

Заключение

Завершая рассмотрение сквозного цикла проектирования радиоэлектронной аппаратуры в среде САПР *Delta Design*, необходимо отметить его следующие основные свойства:

- Использование единой информационной модели проектов и библиотек на всех этапах проектирования.
- Наличие средств поддержки коллективной разработки с разграничением прав доступа к проектной информации.

- Открытость системы для интеграции с другими средствами автоматизации в той же или смежных предметных областях.
- Функциональные возможности системы, обеспечивающие автоматизацию проектного цикла у пользователя.
- Возможности расширения и настройки функциональных возможностей системы непосредственно пользователями. 🧐

Свобода проектирования

DeltaDesign

САПР электроники

- Менеджер библиотек
- Схемотехнический редактор
- Схемотехническое моделирование
- HDL-симулятор
- Редактор правил
- Редактор печатных плат
- Топологический редактор плат TороR
- Коллективная работа для предприятий

EREMEX www.eremex.ru